

AI32メモリ管理ユニットの 6N-5 高速化方式の提案

本村哲朗¹ 大江公夫² 河崎俊平³ 天野亘孝¹

(¹(株)日立製作所 システム開発研究所、²日立マイクロコンピュータ
エンジニアリング(株)、³(株)日立製作所 武蔵工場)

1. はじめに

AI言語高速処理用VLSIコ・プロセッサAI32¹⁾²⁾の開発の一環として、MMU(Memory Management Unit)を内蔵する32ビット汎用マイクロプロセッサに将来対応するために、AI32MMUの方式設計を行なった。本論文ではその高速化方式について述べる。

2. AI32MMUの要求仕様

AI32の高速化及びマルチタスク仮想記憶システムのサポートのためのAI32MMUの要求仕様を以下に述べる。

- (1) 1マシン・サイクルでのアドレス変換の実行
- (2) 大容量TLB(Translation Lookaside Buffer)下での高ヒット率の保証
- (3) メモリ・アクセス権チェック機能の内蔵

3. 従来方式と問題点

汎用マイクロプロセッサで採用されているMMUの従来方式の概要を図1に示し、以下に述べる

- (1) アドレス変換とメモリ・アクセス権チェックは逐次的に実行されている。
- (2) メモリ・アクセス権チェック方法を図2に示す。このチェックは、リング型の保護方式、すなわち、メモリアクセス権レベルとメモリ保護レベルの大小関係に基づいて行われる。

AI32MMUは大容量のTLBを使用するため、この従来方式では論理アドレスの検索時間が増大するという問題が生じる。このため、従来方式を採用すると図1に示す様に全体処理時間は、2マシンサイクル必要となる。

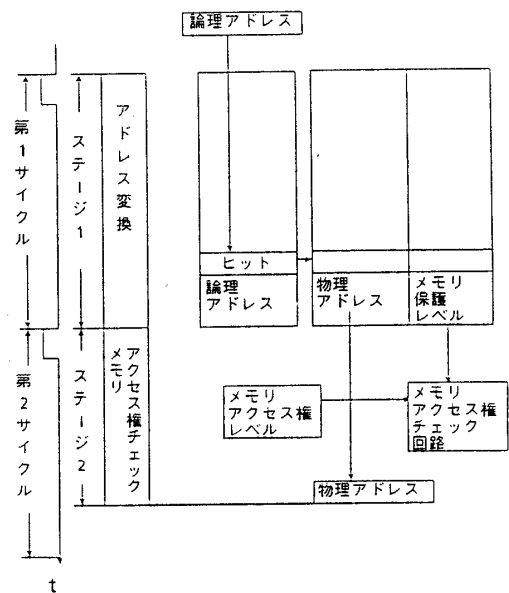


図1 MMUの従来方式



(a) メモリ・アクセス権レベルとメモリ保護レベルの関係

項目 No.	メモリ アクセス権 レベル	アクセス権の 高低	アクセス可能な メモリ保護 レベル	メモリ アクセス権 チェック方法
1	0 0	高 ↓ 低	00 01 10 11	メモリ アクセス権 ≤ メモリ 保護 レベル
2	0 1		01 10 11	
3	1 0		10 11	
4	1 1		11	

(b) メモリ・アクセス権チェック方法

図2 メモリ・アクセス権チェックの従来方法

Acceleration of AI32 Memory Management Unit

Tetsuro Hommura, Kimio Ooe, Shumpei Kawasaki, and Nobutaka Amano

¹ Systems Development Laboratory, Hitachi, Ltd., ² Hitachi Microcomputer Engineering Ltd., ³ Musashi Works, Hitachi, Ltd.

4. 新方式と効果

上記の問題点を解決するためのMMUの新方式の概要を図3に示し、以下に述べる。

- (1) 論理アドレスを保持する連想メモリ側にメモリ保護レベルを格納し、連想メモリにおいて論理アドレス検索とメモリ・アクセス権チェック並列に処理する。
- (2) メモリ・アクセス権チェックを連想メモリで実現する方式を図4に示す。メモリ保護レベルを3ビット長データとして、メモリ・アクセス権レベルを比較データとして各々表現する。(図4(a)、*は比較の無効化を表す。) 検索データ111を、マスク・データ(0がマスクを表す。)に従ってマスクし比較データを作成し、メモリ・アクセス権チェックは比較データがメモリ保護レベルと一致するか否かの判定で行う。

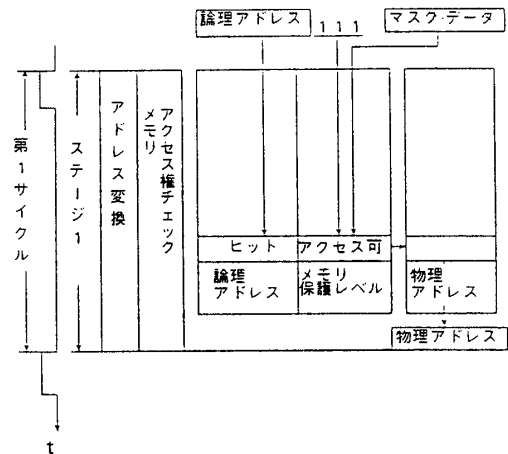
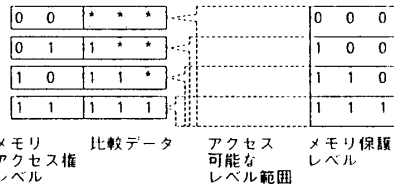


図3 MMUの新方式

(図4 b)

この新方式により、アドレス変換とメモリ・アクセス権チェックを1マシン・サイクルで並列に実行可能であるとの見通しを得ている。



(a) メモリ・アクセス権レベルとメモリ保護レベルの関係

項目 No.	メモリ・アクセス権レベル	比較データ	マスクデータ	アクセス権の高低	アクセス可能なメモリ保護レベル	メモリ・アクセス権チェック方法
1	0 0	* * *	0 0 0	高 ↓ 低	000 100 110 111	太字部的一致/不一致
2	0 1	1 * *	1 0 0		100 110 111	
3	1 0	1 1 *	1 1 0		110 111	
4	1 1	1 1 1	1 1 1		111	

(b) メモリ・アクセス権チェック方法

図4 メモリ・アクセス権チェックの新方法

5. おわりに

AI32MMUの高速化方式を提案した。今後は、本方式の実現を図ってゆく予定である。

参考文献

- 1) T.Nojiri, S.Kawasaki, K.Sakoda : Microprogrammable Processor for Object-Oriented Architecture, 13th Annual International Symposium on Computer Architecture, pp. 74-81(1986).
- 2) S.Kawasaki, T.Nojiri, K.Sakoda : A User-Adaptable VLSI Engine for Artificial Intelligence, Information Processing 86(IFIP 86), pp.367-372.