

1N-6 データ駆動計算機EM-4における 要素プロセッサのシングルチップ化の検討

坂井 修一 山口 喜教 平木 敬 児玉 祐悦 弓場 敏嗣
(電子技術総合研究所)

1. はじめに

並列要素数1000規模のデータ駆動計算機EM-4を開発中である^{[1][2]}。EM-4では、高速化、ボード設計・全体設計の容易さ、大規模マシンの実現性などの点から、要素プロセッサをシングルチップ化している。このシングルチッププロセッサはEMC-Rと呼ばれるが、EMC-Rは、単純化した命令セットを対象とする情報処理機能と、プロセッサ結合型相互結合網の要素としての情報交換機能をCMOSゲートアレイチップ上に実現するものである。本報告では、EMC-R製作時におけるシングルチップ化の問題点とその解決法に関して述べる。

2. 要素プロセッサのシングルチップ化の問題点

シングルチップ化に際して問題となるのは、ゲート数とピン数の制約、チップ内回路の複雑さなどである。ここでは、EMC-Rを実装するゲート数約50,000、信号線数256のチップを前提として検討する。

2.1 通信処理部

一般に、並列計算機の要素プロセッサでは、通信処理にかかわる部分を高速に、かつ演算処理と独立動作するように、組み込む必要がある。その際、パケット(メッセージ)生成・処理部のハードウェア量が問題になり、通信網の要素機能をチップ内に入れる場合には、そのハードウェア量と外部への信号線数が問題になる。

2.2 待ち合せ処理部

フォンノイマン型計算機の場合と比較して、データ駆動計算機の要素プロセッサのシングルチップ化が不利な点として、待ち合せ処理部の存在と、巡回パイプラインの制御の複雑さがあげられる。

すなわち、データ駆動型計算機の待ち合せ処理部には通常なんらかの連想機構(CAMやハッシュ)が必要であり、ハードウェア量が大きくなる。

また、巡回パイプラインのどこかのステージにバッファが必要となる。

上記の問題のうち、EM-4における待ち合せ処理の簡単化に関しては、[3]に記す。

2.3 RISCとの適合性

EMC-Rでは、設計の容易さと高速化の目的から、RISCアーキテクチャを採用した。

データ駆動型計算機がすべてのトークンをパケットの形で表現する純粋なパケットアーキテクチャをとり、巡回パイプラインのみを処理方式としてゆるした場合、RISCアーキテクチャに用いられるレジスタファイル、遅延分岐などを有効に利用することができない。

2.4 その他の問題点

EMC-Rにおいて外付けメモリ上に実現するものは、命令記憶、待ち合せメモリ、構造体メモリ、バッファ待避領域、その他の作業領域である。これらのメモリとのインタフェースでピンネックとなる可能性がある。

一般にピンネックは、ビットスライス化することで解消できるが、その場合、キャリなどの信号伝播の時間が問題となる。

3. EM-4におけるシングルチップ化の実現

3.1 通信処理部

EM-4では、通信処理部も演算処理部も1つのLSIに納める。これは、線長の短縮による通信の高速化、全体のマシンコストの低減、結合網を用いた動的負荷分散などの付加制御機構の実現の容易さ、などによる。EM-4の相互結合網には、 $O(N)$ (n : プロセッサ数)のコストと $O(\log N)$ の直径を持つプロセッサ結合型オメガ網(図1)を用いており、EMC-R内にはその要素としてのスイッチングユニット(SU)が実装される。SUは、演算処理部とは独立・並列に動作する。SUに必要な外部入出力線数は、176本であり、SUのゲート数は約16,000ゲートである。

3.2 RISCとの適合性

EMC-Rでは、RISC化の利点を活かすことをひとつの目的として強連結枝モデルの導入を行った^[2]。これはデータ駆動図式上に強連結ブロックと呼ばれる不可分処理ブロックを指定し、これを同一プロセッサ内のレジスタファイルの上で処理するもので、通常の巡回パイプラインの他に、単純で短いパイプラインを並立

させ、後者でカラーの無い世界の処理を実現するもので、パケットを用いず通常の待ち合せ処理を行なわない、高速でLSI化に適した処理方式を開発した。

3.3 EMC-Rの内部構成

図2にEMC-Rの内部構成を示す。EMC-Rは、SU、MCU、IBU、FMU、EXUの5つのユニットと、外付けのSRAM約1.2MB(最大約5MB)よりなる。SUは3.1で述べた結合網の要素機能を実現する3x3のスイッチであり、他のユニットと独立・並列に動作する。IBUは入力バッファであり、チップ上に数十語のバッファを持ち、さらに外付けメモリ上に待避領域を持つ。FMUは待ち合せと命令フェッチをつかさどる。待ち合せ記憶と命令記憶はSRAM上にとられる。EXUは演算処理部である。SRAMのバスはマルチプレクスして各ユニットに用いられる。

通常の処理は、待ち合せ・命令フェッチ・実行の順で各ユニットをパケットが巡回することで実現されるが、強連結処理は、EXU内のレジスタファイル上で待ち合せなしに実現される。

4. おわりに

高並列データ駆動型計算機EM-4における要素プロセッサのシングルチッププロセッサの問題点と、その解決法に関して述べた。シングルチップ化のために生じた新たな問題点として、①強連結処理と通常のパケッ

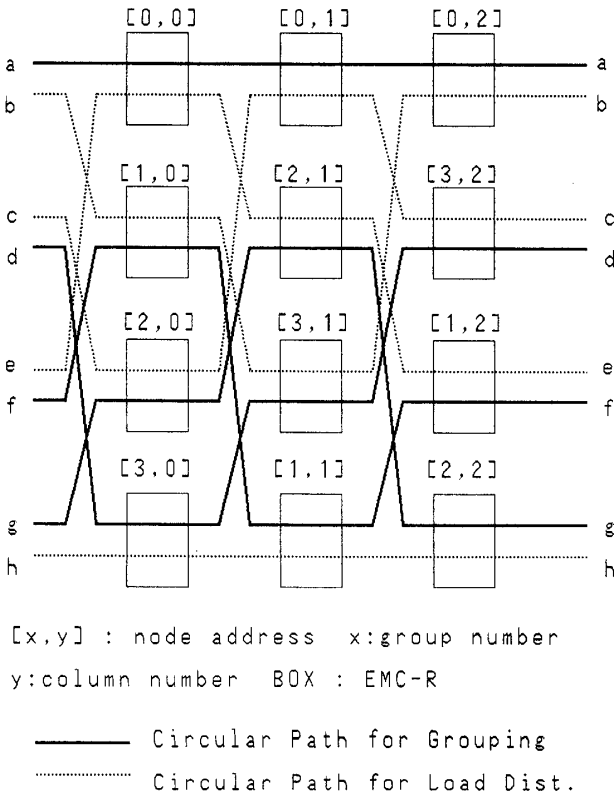


図1. プロセッサ結合型オメガ網
Fig.1 Processor Connected Omega Network.

ト処理のつながりの制御の複雑さ、②メモリ使用効率の低下^[3]などがあげられる。このうち、②はスロットリングなどのスケジューリング技法の導入によって解決可能である。

引き続きEMC-Rの試作を行い、ここで述べた方式の有効性を検証するとともに、将来のより大規模なLSIを用いたデータ駆動型計算機の構成法(オンチップ・キャッシュの導入、優先度つきキューの実現などを含む)に関する検討を進める予定である。

謝辞 本研究を遂行するにあたり御指導、御討論いただいた田村電子計算機部長ならびに計算機方式研究室の同僚諸氏に感謝いたします。

参考文献

- [1]坂井、山口、平木、児玉、弓場：データ駆動型シングルチッププロセッサEMC-Rのアーキテクチャ、信学会コンピュータシステム研究会発表予定(July1988).
- [2]坂井、山口、平木、弓場：データ駆動型シングルチッププロセッサEMC-Rにおける強連結枝モデルの導入、データフローワークショップ87(Oct. 1987).
- [3]山口、坂井、平木、児玉、弓場：データ駆動計算機EM-4における待ち合せ機構、第37回情処全大発表予定(Sept. 1988).

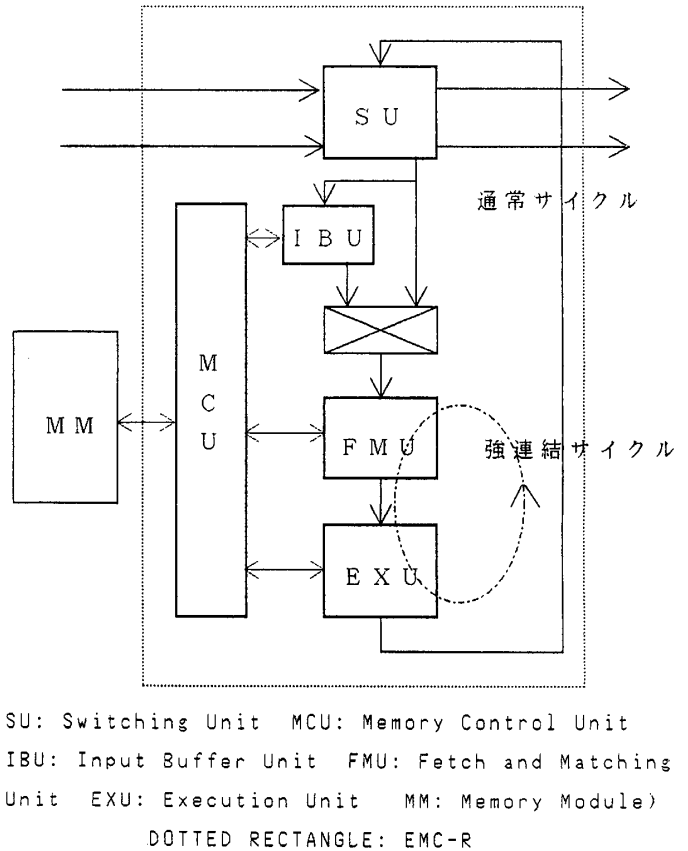


図2. EMC-Rの構成
Fig.2 Configuration of EMC-R.