

スタンダードセルLSI統合レイアウトシステム (1)
 概要

6R-4

佐藤克彦 木下善彦 上高原道夫 永原 出 石井 真 小山正弘
 ソニー株式会社 半導体事業本部

1. はじめに

近年、各産業分野では、製品の小型化、軽量化が盛んに進められており、製品のライフサイクルも年々短くなっている。さらに、各製品のLSIへの依存度も急激に高くなっている。

このような背景から短期間に多品種かつ大規模、高密度なLSIを開発する必要性が生じる。これを実現する方法としてゲートアレイ、およびスタンダードセル方式などの手法が用いられており、これらの手法に関する統合CADの実現例も幾つか発表されている。

このような必要性にもとずき我々はスタンダード・セル方式LSIの統合設計システムを開発した。

この統合設計システムは論理設計支援システムとレイアウト・システムから構成されるが、本論文ではレイアウト・システムについてその概要を報告する。

2. 本レイアウト・システムの特徴

本レイアウト・システムの特徴として次のような項目が挙げられる。

- 1) 階層設計
- 2) 並行レイアウトと先行レイアウト
- 3) 柔軟なレイアウトモデルとレイアウト手法
- 4) ROM, RAM などの自動生成
- 5) 統合システム

LSIの大規模化に伴い、LSI設計において階層設計は必須となってきている。本システムはこの階層設計を考慮したシステムであり、トップ・ダウンのチップ・プランニングとボトム・アップの詳細レイアウトに加え、配線禁止領域の自動抽出及びブロック上通過自動配線など階層設計に対する配慮がなされている。

本システムでは大規模LSIに備え、データ・ベースを分割することにより並行レイアウトを可能とし、大規模LSI設計の効率化を図っている。さらに、チップ全体の論理が確定しなくとも、確定したブロックのみでレイアウトが開始できる先行レイアウトが可能で、シミュレーション精度向上、チップ面積の見積り精度向上、及び設計期間の短縮などに寄与している。

本システムでは自動レイアウトとマニュアルレイアウトのレイアウト・モデルを共通化した柔軟なレイアウトモデルを採用し、自動レイアウトとマニュアル・レイアウトの混在を可能にしている。さらに自動配置と自動配線の目的関数の一元化により高密度な自動レイアウトを実現している。

本システムでは、ROM, RAM, PLAなどを自動

生成する機能を持っており、多様な設計ニーズに即応できる。

本システムは一元的なD/Bを核とし、チップ・プラン、自動配置機能、自動配線機能のほかレイアウト修正機能、検証機能そしてシミュレーター・インタフェースなど数多くのアプリケーションを備えている統合システムである。また、本システムのワークステーション化によりスタンドアロン・システムとしても分散システムとしても利用されている。

3. レイアウト・モデル

チップはI/O部と内部のファンクション・ブロック(以下FB)、レイアウト・ブロック(以下LB)により構成されている。(図1)

FBは論理的に一つの機能を実現しているブロックで、その外部とのインタフェースは明確に定義されている。これが一階層を成す。

LBはセルの集合であり、レイアウト自由度を上げるために、自由に分割できる。これがプランニング時のクラスターとしての役割を果たす。

セルは一列状に並べられる基本セルと、ランダムに配置できるラージ・セルに分けられる。ROM, PLAなどがこのラージ・セルに相当する。これらのFB, LBは上位レベルのFB内の任意の位置に配置できる。

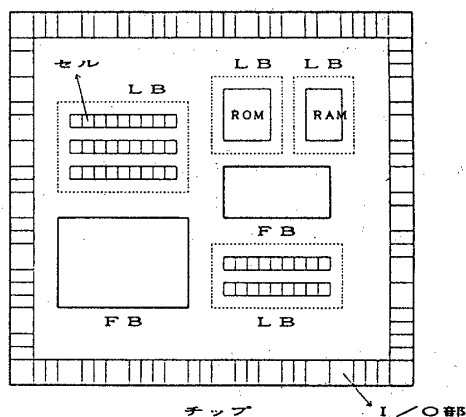


図1 チップのレイアウト・モデル

また配線モデルを図2に示した。

配線はアルミ2層、ポリ1層の3層配線であり自動配線では水平方向に1stAL、垂直方向に2ndALとポリを使用する。本モデルで特徴的なのは、異なる高さのセル、セル内部にも端子が存在すること、隣り合うセルを接続するためのジョイント端子が存在することなどである。

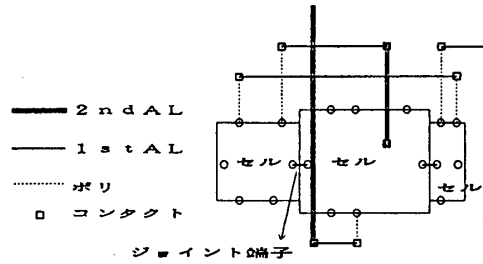


図2. 配線のレイアウト・モデル

4. システム構成と設計フロー

図3にシステム構成を示した。

各処理とレイアウト設計の流れについて説明する。

「パラメトリック・セル・ジェネレータ」はユーザー・パラメータによって最適サイズのセルを自動生成する機能で、現在ROM、RAM、PLA、シフト・レジスタを自動生成する機能が組み込まれている。

パラメトリック・セル・ジェネレータにて所望のセルを生成したならば、次にデータ・ベース (D/B) を作成する。

このデータ・ベースを作成するのは「D/Bジェネレータ」であり、これは論理図面入力システムから出力された論理記述とセル形状、端子仕様を定義してあるセル・ライブラリーからデータ・ベースを作成する。

そして

「チップ・プラン」にてI/Oとブロックの配置、チップ面積の見積りを、

「自動配置機能」にてセルの配置を

「自動配線機能」にて配線を行う。

さらに、「修正機能」により対話的に配置・配線の変更を行い最適なレイアウトに改善できる。その際「オンライン検証機能」にてデザイン・ルール検証、接続検証を行い、レイアウトの保証を取る。

1ブロックのレイアウトが完了したならば「配線禁止領域抽出機能」により配線禁止領域を自動抽出する。これにより上位階層でのブロック上通過配線と階層検証が可能となる。

これらのレイアウト作業を行う際、「D/Bマネージャー」は階層毎の切出し、及び各FBのデータ管理を行う。

こうして完了したレイアウトに対して配線容量を求め、実配線シミュレーションを実施する。

実配線シミュレーションで動作の確認が取れたならば、最後に、マスクデータであるEBデータが出力される。

また、これらの機能はμVAX IIとグラフィックディスプレイTektronix 4125上に実現されている。

5. まとめ

本論文ではスタンダードセル方式LSIの統合レイアウトシステムについて報告した。

本システムをワークステーション上にインプリメントし千ゲートから一万ゲート規模のICを数十タイプ設計した。図4に本システムで設計したチップの例を示した。

本システムの導入により、一貫したレイアウト手法のもとに最適かつ効率の良いレイアウト設計が実現できた。

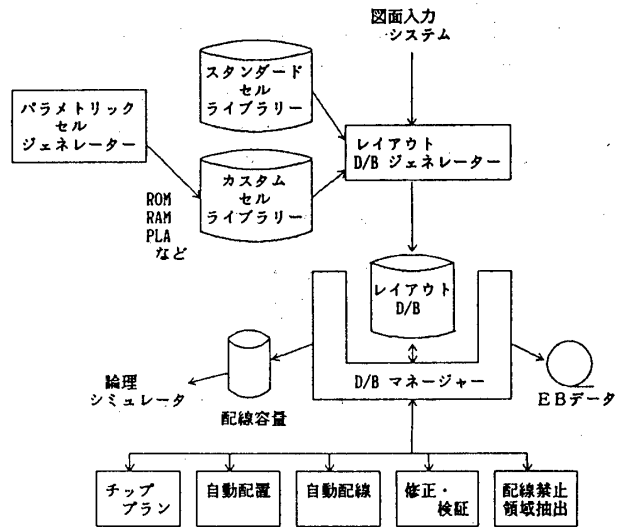


図3. システム構成図

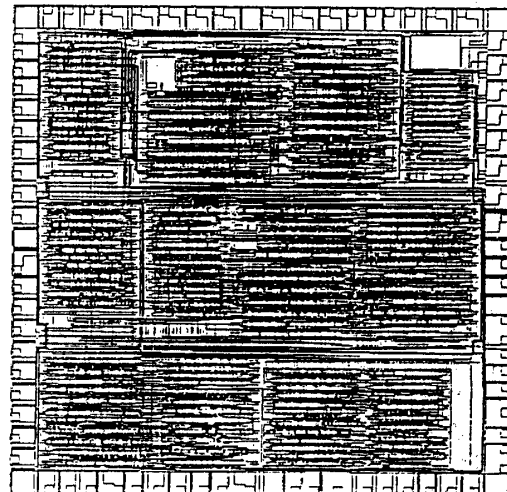


図4. レイアウト結果 (約一万ゲート)