

5R-9

## 超LSI設計支援システム (4) — 階層的 ERC —

森本清巳、吉田健一、内芝伸彦、田中伸一、三宅隆一郎

シャープ株式会社

### 1. はじめに

LSIのマスク設計段階での、設計ミスの早期発見、修正のためにレイアウト検証の一つであるERC(Electrical Rule Check: 電気的ルールチェック)は重要な位置をしめている。しかし、近年のLSIの大規模化に対処するために、ERCの階層化が課題となっている。我々は、超LSI設計支援システムにおいて、階層的ERCの実現を試みた。

### 2. データモデル

本システムのERCでは、トランジスタ素子を作る図形群を予めひとまとめにして、トランジスタコンポーネントとして定義する。また、セルの入出力端子として、ターミナルを定義する。このターミナルは、セルの内外の接続を表すものである[1]。

図1では、太線枠で囲った四つの図形がCMOSインバータセルのターミナルとなる。

### 3. 特徴

以下に、本システムのERCの特徴を述べる。

- (1) 一般的のERCの手順としては、まず図形演算により、ポリシリコン層と拡散層の交差部分を見つけ、その部分をMOSトランジスタのゲートとする等の素子認識を行う。しかし、本システムのERCでは、あらかじめトランジスタコンポーネント等がシンボル化して定義されており、素子認識の必要がない。
- (2) 一般的のERCの手順としては、次に素子間の接続抽出を行う。接続抽出では図形間の接続関係を調べることにより、全図形を等電位図形群(ノード)に分類して、ノード番号を付ける。

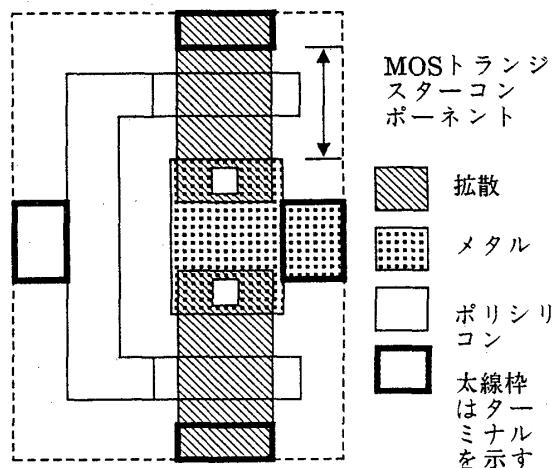


図1 CMOSインバータとターミナル

本システムのERCでは、接続抽出を、セル単位(階層的)に行うので、同じセルが複数回使われていた場合には、一度だけの接続抽出でよい。このため、処理時間の短縮が可能である。

- (3)これまでのERCでは、エラーを修正した後、再検査のためには、全データの接続抽出をやり直していたが、階層的に接続抽出を行うため、その必要がない。
- (4)ERC手順の最後に、素子認識の結果得られるノード番号をもとにして、ショートオーブン等のERC検査を行う。本システムのERCでは、一度、接続抽出を行うと、各種のERC検査がオンラインで行える。
- (5)超LSI設計支援システムのデータベース中には、マスクデータとERCに必要なノード番号の両方が保持されている。このため、ERC検査用のデータを別に作成する必要がなく、LSI設計と検証に必要なトータルのディスク量が少なくてすむ。

A Total CAD System for VLSI's (4), Hierarchical ERC

Kiyomi MORIMOTO, Ken-ichi YOSHIDA, Nobuhiko UCHISHIBA, Shin-ichi TANAKA, Ryu-ichirou MIYAKE  
SHARP CORPORATION

#### 4. 处理の概要

以下に処理の概要を示す。

##### (1) 接続抽出

接続抽出は、図形演算の一手法であるベクトルスライス法より図形間の交差判定を行い、ノード番号をセル単位にユニークに付ける。図2は上位セル1と下位セル2の二つのセルからなるデータである。セル1の図形AとBはセル2内の図形をかいして繋がっている。この場合、ターミナルのノード番号をセル1の接続抽出の際に参照するので、図形AとBはセル1内で同じノード番号を持つ。このように、セル内図形とそのセルより一つ下位のセルのターミナルのみが、接続抽出の対象となる。

##### (2) ERC検査

ERC検査のためには、まず設計者により図形に対してノード名(VCC、GND等)が、レイアウトエディタのコマンドを使って入力される。つぎに、このノード名と接続抽出の結果得られる接続情報(ノード番号)によりERC検査を行う。

本システムでは、ノード番号をマスクデータとともにデータベース中に保持している。このため、ERC検査をオンラインで行える。たとえば、設計者がレイアウトエディタにより二図形を選ぶと、その図形のノード番号を調べることにより、ただちにショートオーブンが調べられる。

##### (3) 結果の確認、エラーの修正

エラー図形は、レイアウトエディタ上に表示され、設計者はエラーの修正を行う。

#### 4. 検査項目

ERCの検査項目を以下に示す。

- (1) ショートオーブンの検出
- (2) 等電位図形群(ノード)の出力機能
- (3) 浮きノードの検出
- (4) 浮き素子の検出
- (5) ゲートがオン状態での、電源(VCC, GND等)へのバス検出

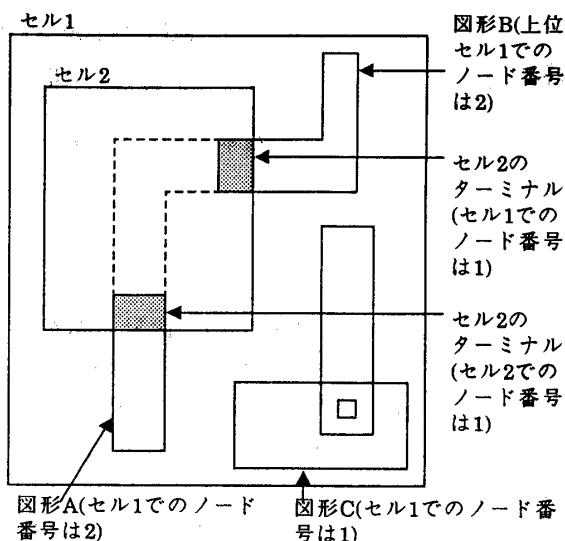


図2 階層的接続抽出の例

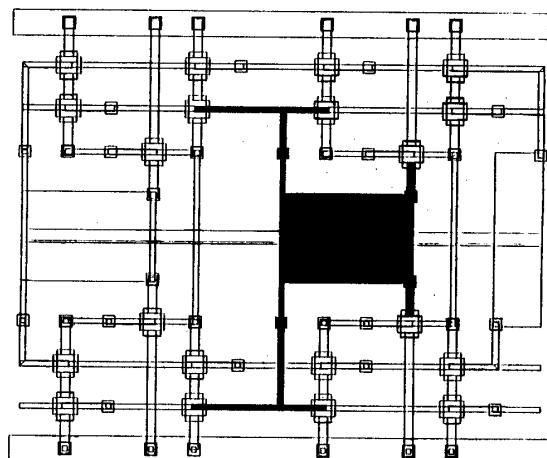


図3 等電位図形群(ノード)出力の例

##### (6) ソース ドレインがショートしているトランジスタの検出

図3に等電位図形群(ノード)出力の例を示す。

#### 5. おわりに

超LSI設計支援システムのデータベースの論理的情報と階層的構造を利用することにより、ERCを実現し、階層化によるメリットを確認した。

#### 参考文献

- [1] 同時投稿, "超LSI設計支援システム(1)  
—システム構成—"