

3Q-2

高速画像合成プロセッサユニットの構成

秋本高明 三ツ矢英司 玉邑嘉章

NTT電気通信研究所

1. まえがき

コンピュータグラフィックス (CG) の応用にとって、リアルな3次元陰影画像を高速に生成する技術の確立は、重要な課題の一つである。なかでも表現能力の優れた光線追跡法の高速度処理ハードウェアを実現することは、現在の中心的課題になっている。これまでに、マイクロプロセッサを用いたLINKS-1<sup>1)</sup>を初め、LINKS-2<sup>2)</sup>、浮動小数点演算器を用いたMC-1<sup>3)</sup>や、SIGHT<sup>4)</sup>等が開発されている。これらの開発を通じて、浮動小数点演算とデータアクセスをともに高速化する必要があることが明らかにされている<sup>2)</sup>。筆者らは、浮動小数点演算の並列処理機構と、高速のメモリアクセス機構をもつプロセッサユニット (PU) を用いた画像生成装置を設計した。本稿では本画像生成装置のプロセッサユニットの基本アーキテクチャについて報告する。

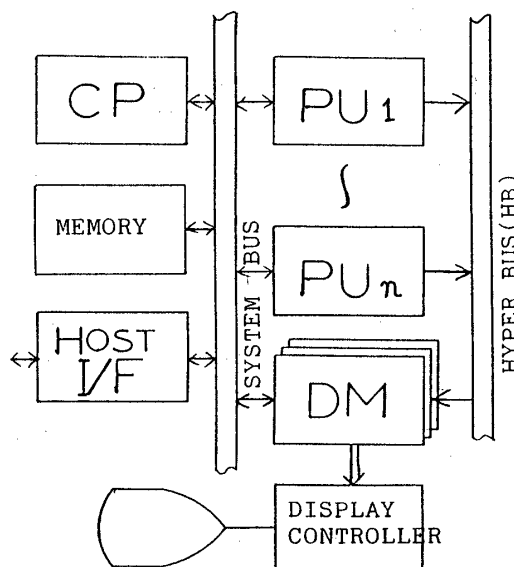


図1 画像生成装置の全体構成

2. 画像生成装置の全体構成

図1に画像生成装置の全体構成を示す。このように本画像生成装置は、高性能マイクロプロセッサを中心として構成された制御プロセッサ (CP) と、それに接続された複数個のプロセッサユニット (PU)、及びディスプレイメモリ (DM) からなる、マルチプロセッサシステムである。

3. PUの特徴

陰影画像の高速合成を目的として設計されたPUは、次のような特徴を持つ。

(1) 浮動小数点演算の並列処理

画像生成処理で現れるベクトルや行列演算の高速化のため、4個の浮動小数点演算LSIを用いて、並列演算およびパイプライン演算を可能にした。

(2) データアクセスの高速化

光線追跡法のような複雑な処理では、浮動小数点数の演算量の多さもさることながら、それに伴うデータの転送とアドレス計算の処理全体に占める割合が高いことが報告されている<sup>2)</sup>。そこで、データ転送とアドレス計算を高速化する次のような機構を取り入れた。

- a) ベクトルデータ一括転送可能なバス
- b) 2次元アクセス機構
- c) キャッシュメモリ

(3) 高速バスアーキテクチャの採用

画像処理で常に問題となるのは、画像メモリに対する高速アクセスを行うことである。これを解決するために、各PUの処理結果を高速にDMに書き込むことのできる高速バス (HB) を採用した。

4. PUの具体的構成

図2にPUの構成を示す。このようにPUはプログラムメモリ (WCS) とシーケンサ (SEQ)、演算部、アドレス生成部 (ADG)、データメモリ (DBM, FSM)、高速バスインターフェース (HBI/F) から構成される。以下、主要な部分について説明する。

(1) 演算部

図3に示すように、演算部は3つの高速浮動小数点演算LSI (FPP) ともう一つのFPP及びALUで構成される。図3でRGはレジスタである。合計4つのFPPにより、3~4次元ベク

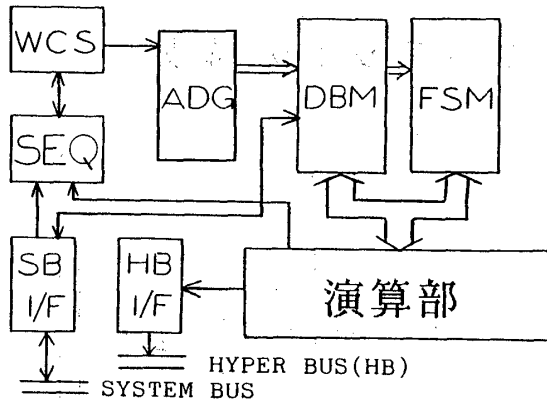


図2 PUの構成図

トルの要素ごとの演算が一度に行える。3つのFPPはだすきがけ状のデータバスを持っており、レジスタを介在することなくベクトルの積和演算などが実行できる。また、残る一つのFPPにはLUTが付加されており、逆数・平方根・三角関数の計算を高速に行う。なお、一つのFPPの処理能力は、最大5Mflopsである。

(2) アドレス生成部 (ADG)

アドレス生成部は、ベースレジスタ (BR)、インデックスレジスタ (IR)、アトリビュートレジスタ (AR) とアドレス計算器から構成される。

アドレッシングは、

$$EA = (IR + D) + BR$$

による一般的なものの他に、

$$EA = (IR(y)+D(y)) + (IR(x)+D(x))*N + BR$$

による2次元アドレッシングが可能である。このアドレス生成は200n秒で行われる。ここで、EAは実効アドレス、Dはマイクロプログラム中で指示される変位、Nは2のべき乗の任意の数で、2次元配列のx(横)方向の大きさを表す。2次元アドレッシングのとき、IR、Dは一つをxとyを指示するための2つの部分に分けて使用される。

アクセス単位はバイト・ワード(32ビット)があり、1次元アドレッシングではさらにベクトル(4ワード)のアクセスが可能である。1次元アドレッシングか2次元アドレッシングか、2次元アドレッシングのときのN、アクセス単位はARで指示される。このようなアドレス生成機構により、表形式データや画像データのアクセスを高速に行える。

(3) データメモリ

制御プロセッサから直接アクセスできる4Mバイトのメモリ(DBM)の他に、256kバイトのキャッシュ(FSM)を持つ。どちらもベクトルデータの一括アクセスが可能である。キャッシュは制御プロセッサ間のデータ受渡しには使用でき

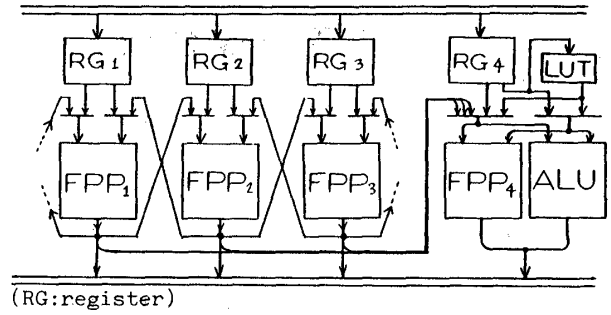


図3 演算部の構成図

ないが、頻繁にアクセスされる作業領域として使用することで処理の高速化を図る。

(4) 高速バスインターフェース (HBI/F)

DMに書き込むべき演算結果を高速に転送するインターフェースである。この高速バス(HB)は、DMの書き込みアドレスとデータからなるパケットを最大40Mバイト/秒で転送する同期バスである。これにより、512x512画素程度のカラー画像は1/30秒以下の時間で書き込める。

(5) プログラムメモリ・シーケンサ

本PU全体は256bitの水平型マイクロプログラムで制御される。これにより4つのFPPをすべて独立に制御できる。

5. あとがき

以上、陰影画像の高速生成を目的とした、高速画像合成プロセッサユニットについて述べた。浮動小数点演算の並列化、2次元アクセスとベクトルデータの一括転送、及び高速データ転送バスにより画像生成の高速化が期待できる。

しかし、このような複数の演算器を持ったプロセッサの処理能力を十分に発揮させるソフトウェアの開発は容易でないため、現在ハードウェアの能力を十分に引き出すことのできるソフトウェアの作成手法、及び開発環境を検討中である。

<文献>

- 1) 例えば、出口他: "コンピュータグラフィクスシステムLINKS-1における画像生成の高速化手法", 情処論, vol.25, no.6, pp.944-951.
- 2) 正田他: "画像生成用マルチコンピュータシステムLINKS-2について", 信学技報 CAS84-204, pp.103-109.
- 3) 中瀬他: "高速浮動小数点演算機能を持つユニットコンピュータ・MC-1のアーキテクチャ", 情処計算機アーキテクチャ研究会資料, no.58-6.
- 4) 吉田他: "グラフィクス計算機SIGHTの基本構成", 情処計算機アーキテクチャ研究会資料, vol.85, no.53, pp.1-8.