

4C-12

マルチマイクロプロセッサシステムにおける
プロセッサ間通信方式について

深海 悟

NTT 電気通信研究所

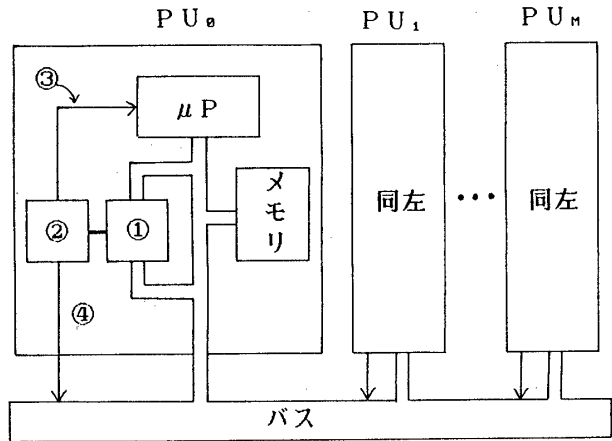
1. はじめに

バス結合マルチマイクロプロセッサシステムにおけるプロセッサ間割込機能実現方式として、各プロセッサ部(PU)に他PUからバスを介してデータライト可能なレジスタ(メッセージボックス、以下MBと略す)を設け、割込要求元PU(ソースPU)からのMBへのデータライトを契機としてライトされた側のPU(ディストネーションPU)に割込を発生させる方式は、①バス上に割込信号線を必要とせずバス本数が少なくすむこと、②接続可能なPUに制約を与えないこと、といった特徴を有するすぐれた方式と考えられる。しかし、本方式は、特定のPUに対する割込要求がふくそうした場合、MBに対するライト要求に競合が生じオーバヘッドが発生するという問題があるが、この問題については従来ほとんど評価がなされていない。そこで本稿では本オーバヘッドを定量的に評価する為の待行列モデルを提案し、具体的解析手法を与える。

2. 対象とするシステムの構成及びPU間割込方式

本稿で対象とするシステムの構成を図1に示す。ここでMBは他PUからバスを介してデータライト可能なレジスタで、一般にライトデータ中にはソースPUのID情報その他が含まれているものとする。また、各PUのMB制御部は、MBにデータライトされたことを検出すると自PU内のマイクロプロセッサ(μP)に割込を発生させる。 μP は割込発生後MBをリードすることでどのPUからの割込であるか等を判断し、所定の処理を実行する。この間のいわゆる割込処理は本割込マスク状態で実行されるものとする。また、MBにデータがライトされてからこれが μP によってリードされるまで(この状態をMBビジー状態と称す)には一般にある程度の時間がかかることより、この間の別のPUからのMBに対するデータオーバライトを抑止する為、MB制御部はMBビジー時のライト要求に対しこれを無視すると共に、ソースPUにMBビジーの旨を通知する機能を有するものとする。ソースPUはビジー応答が返ると、MBへのライトに成功するまでくり返し本処理を実行するものとする。

上記説明からもわかるように、本方式はPU間割込のトラヒックが高い場合、割込要求(MBライト)に対してビジー応答の返る確率が高くなり、MBライト処理を複数回くり返さなければライトに成功しない状況が発生し、これがオーバヘッドとなる。



①: メッセージボックス (MB)
②: MB制御部
③: 割込信号線
④: MBビジー通知線

図1. 対象とするシステム

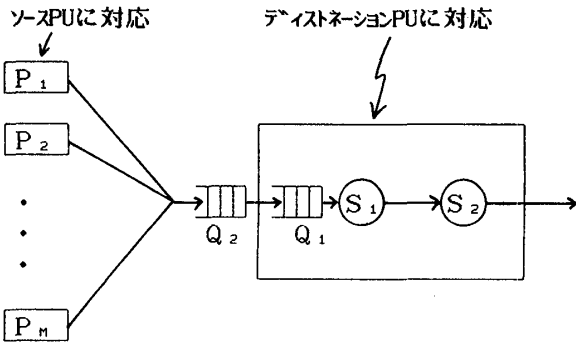
3. 待行列モデル

システム内に $(M+1)$ 台のPUが存在し、M台のPUから特定のPUに対する割込要求が同一頻度で発生すると的前提条件のもとで、前節で述べたソースPUのオーバヘッドを求める待行列モデルを図2に示す。本モデルは、MBが複数段のFIFOレジスタで構成され、レジスタ段数分の割込要求を保持可能な場合にも適用可能となっている。

図2において、ステージ S_1 での処理はディストネーションPUの割込処理のうち割込発生後MBリードまでの処理に、ステージ S_2 での処理はMBリード後の処理にそれぞれ対応する。また、 Q_1 及び S_1 上の呼は、一般にFIFOレジスタで構成されたMB内の割込要求に対応し、 Q_2 上での待ち時間は、MBへのライト要求に対しビジー応答が返った為ライト処理をくり返し実行している時間に対応する。

4. 解析

$P_{i,j}$ を、 Q_1 、 Q_2 及び S_1 に存在する呼の数が i 、 S_2 に存在する呼の数が j である状態の定常状態確率とすると、図2のモデルに対する状態方程式は以下のようなになる。



- 注：1. S₁ と S₂ は排他的にサービスを実行する。すなわち、S₂ がサービス中のとき呼は S₁ に入ることができず、サービス開始は S₂ のサービス終了後となる。
2. S₁、S₂ のサービス時間は指数分布に従うものとし、各々の平均サービス率を α、β とする。
3. Q₁ の容量は有限でこれを N とする。
4. Q₂ の容量には制限がない。
5. 各呼源 P_i は、P_i から生じた呼が Q₂ にいる状態を除き、平均生起間隔が 1/λ のポアソン分布に従って呼を生起する。

図2. 待行列モデル

$$\begin{aligned}
 M\lambda P_{0,0} &= \beta P_{0,1} \\
 (M\lambda + \alpha)P_{i,0} &= M\lambda P_{i-1,0} + \beta P_{i,1} \quad (1 \leq i \leq N+1) \\
 ((M+N+1-i)\lambda + \alpha)P_{i,0} &= (M+N+2-i)\lambda P_{i-1,0} \\
 &\quad + \beta P_{i,1} \quad (N+2 \leq i \leq N+M) \\
 \alpha P_{N+M+1,0} &= \lambda P_{N+M,0} + \beta P_{N+M+1,1} \\
 (M\lambda + \beta)P_{0,1} &= \alpha P_{1,0} \\
 (M\lambda + \beta)P_{i,1} &= \alpha P_{i+1,0} + M\lambda P_{i-1,1} \quad (1 \leq i \leq N+1) \\
 ((M+N+1-i)\lambda + \beta)P_{i,1} &= (M+N+2-i)\lambda P_{i-1,1} \\
 &\quad + \alpha P_{i+1,0} \quad (N+2 \leq i \leq N+M) \\
 \beta P_{N+M+1,1} &= \lambda P_{N+M,1} \\
 \sum_{i=0}^{N+M+1} (P_{i,0} + P_{i,1}) &= 1
 \end{aligned}$$

本方程式は未知変数の数が有限である為直接数値計算によって解くことも可能ではあるが、状態確率間に成立する以下の関係式、

$$\begin{aligned}
 P_{i,0} + P_{i,1} &= (\alpha/M\lambda) P_{i+1,0} \quad (0 \leq i \leq N+1) \\
 P_{i,0} + P_{i,1} &= ((\alpha/(N+M+1-i)\lambda) P_{i+1,0} \\
 &\quad (N+2 \leq i \leq N+M)
 \end{aligned}$$

を使用すると、P_{1,0}、P_{2,0}、…、P_{N+M+1,0} 及び P_{N+M+1,1} のみを変数とする方程式に帰着でき、この方程式の解より各種特性値、すなわち、Q₂ での平均待行列長 L、呼の平均到着率 (スループット) C、及び Q₂ での平均待時間 W、が以下のように得られる。

$$\begin{aligned}
 L &= \{ \alpha / (M-1) \lambda \} P_{N+3,0} + \{ 2\alpha / (M-2) \lambda \} P_{N+4,0} \\
 &\quad + \dots + \{ (M-1) \alpha / \lambda \} P_{N+M+1,0} \\
 &\quad + M(P_{N+M+1,0} + P_{N+M+1,1})
 \end{aligned}$$

$$C = \alpha \sum_{i=1}^{N+M+1} P_{i,0}$$

$$W = L / C$$

5. 解析例

N = 0、1 及び 2 (すなわち MB の FIFO 段数を 1、2 及び 3)、M = 7 及び 15 (すなわちシステム内の PU 数を 8 及び 16) としたときの呼の平均生起率 λ と平均待時間 W (オーバーヘッドタイム) の関係例を図 3 に示す。

本図よりもわかるように、本稿で提案した評価方法を用いると、PU 間割込処理プログラム走行時間及び単位時間当たりの割込要求生起回数の平均値から、割込処理に伴うソース PU のオーバーヘッドが定量的に得られ、システム設計に資することができる。また、MB の FIFO 段数を高々 2 ないし 3 段とするだけでオーバーヘッドを大幅に削減できることも図 3 よりわかる。

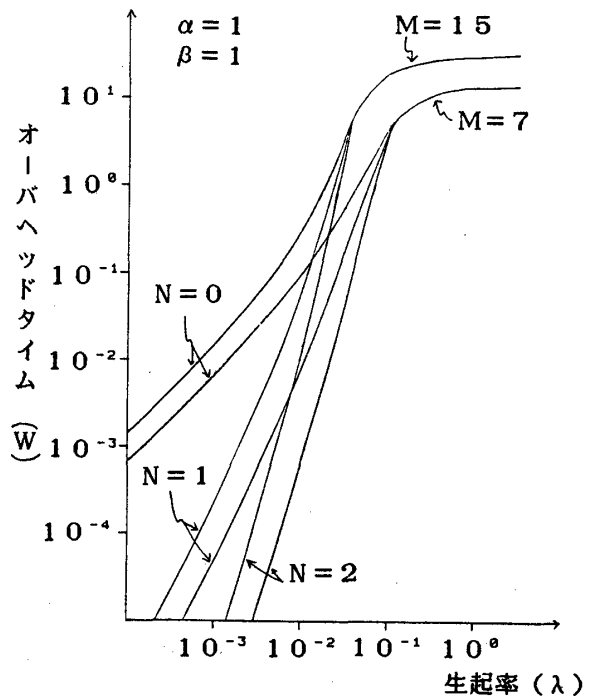


図3. 解析結果の例

6. おわりに

バス結合マルチマイクロプロセッサシステムにおけるあるプロセッサ間割込機構をとりあげ、本機構による割込処理に伴うオーバーヘッド評価の為の待行列モデルを提案すると共に、具体的解析事例について述べた。