

2進木構造並列処理システム

CORAL 68Kのプロセッサ要素の開発

3C-3

松尾賢二<sup>1</sup> 遠藤俊雄<sup>1</sup> 吉谷文徳<sup>2</sup> 高橋義造<sup>1</sup>

(1:徳島大学 2:NTT)

1. はじめに

CORALは、2進木構造を持つ並列処理システムである。これは数百、数千のプロセッサを用いた高次並列処理を目標としたものである。現在15台のプロセッサ(MPU 8085)より構成されているCORALプロトタイプ'83が稼働中である。これは、並列処理プログラムの開発や、並列処理の効率評価を行なうのに使用する目的で開発された<sup>1)</sup>。しかし、MPUの演算処理能力が劣り通信速度が遅くメモリも少ないという問題がありこの目的には十分とは言えなかった。そこで、MPUに68000を、DMA転送方式でDMAC68450を採用し、メモリも増加させたCORAL 68K(63台結合)の開発を進めているが<sup>2)</sup>、今回、従来のプリント基板を基に、新たにプリント基板化したプロセッサ要素を開発したので報告する。

2. プロセッサ要素の構成

プロセッサ要素のブロック図を図1に示す。

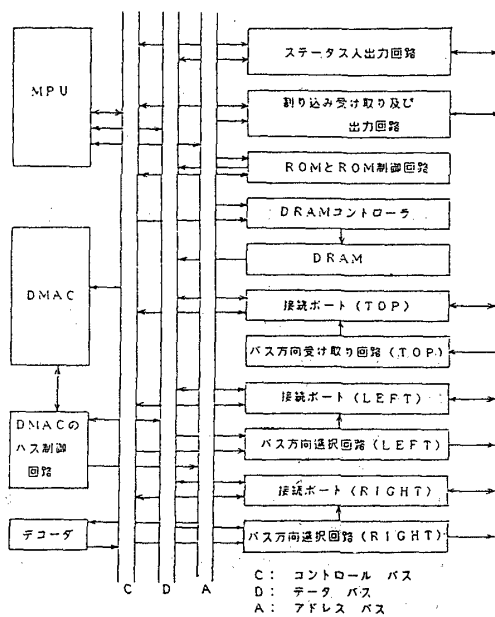


図1 プロセッサ要素のブロック図

MPUにHD68000(ピングリッドアレイ, クロック10MHz)を使用し、DMACはHD68450(ピングリッドアレイ, クロック10MHz)を使用している。

DMACの4チャンネルの内、3チャンネルをTOP、LEFT、RIGHTの3方向の接続ポートに使用している。優先順位はTOP、LEFT、RIGHTの順である。DMACによる転送は、各プロセッサ要素が、お互いに相手のREQ端子をアサートして、転送要求することで開始される。その際、サイクルスチールモードとバーストモードのいずれかの方法を使うことができる。前者は単一データ転送ごとにバスを解放し、後者は複数データを転送する間バスを保持し続ける。我々は転送速度の速いバーストモードを採用した。またI/Oデバイスの種類による転送モードは、シングルアドレッシングモードとデュアルアドレッシングモードがある。前者はACK信号によりチップセレクトし、メモリへのアドレッシングのみでよく、後者はアドレスラインをデコードしてチップセレクトするため、メモリとデバイスの両方へのアドレッシングを行なう必要がある。よってシングルアドレッシングモードを採用した。

ROMは、TMM2764を2個使用し16KBのエリアを持つ。例外処理ベクタの必要性から、000000Hからの位置に設定する。RAMは、TMM41256を16個使用し512KBのエリアを持つ。DRAMコントローラ(MB1422)で、リード、ライト、リフレッシュの制御を行なう。

3方向の接続ポートでは、転送のためのハンドシェイク回路をTTLとPALで構成し、DMACからの転送要求に応じて16ビットのデータを転送する。バス方向の制御は、LEFT、RIGHTのバス方向選択回路より信号を出し、TOPはその信号を受け取りバス方向を確認する。

また、割り込み受け取り回路では、割り込まれたレベルに応じて、内部で割り込みベクタを発生させるオートベクタリングを採用している。ステータス入出力信号は、3方向入出力として各々3ビット、計18本あり、割り込み処理の種類を示すのに使用する。割り込み出力、ステータス出力回路には、PALを使用した。

1台のプロセッサ要素は、サイズが260 mm x 320 mm の4層プリント配線基板に収納され、LSI 以外に、TTL 67個、PAL 8個が搭載されている。

コネクタ部は96ピンのコネクタが2組あり、3方向の信号線にそれぞれ32ピンずつ使用し、GND はTOP に32ピン、LEFT、RIGHT は共通で32ピン使用する。残りは外部リセット端子等に使用している。

### 3. ホスト計算機とのインターフェイス

UNIXベースのワークステーションOA-8040をホスト計算機として使用する。このホスト計算機には、8ビット並列のインターフェイスGPIOがある。これを利用して、ホスト計算機とプロセッサ要素間のデータ通信及び8ビット16ビットのデータ相互変換を行ない、ホスト計算機からプロセッサ要素へ割り込みをかけることができるインターフェイスを開発している。

### 4. メモリアドレスマップ

メモリアドレスマップを図2に示す。

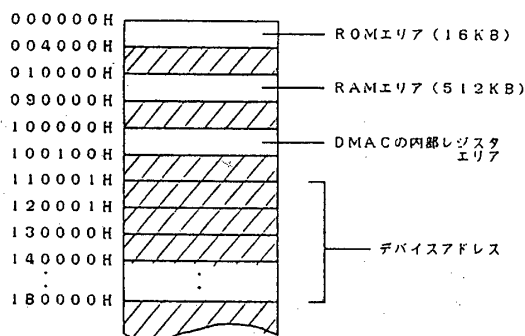


図2 メモリアドレスマップ

DMACの内部レジスタは、各チャンネルごとに17個あり、これらのレジスタを設定することで、転送の制御を行なう。デバイスアドレスは、バス方向選択、割り込み、ステータス、接続ポートが割り当

てられている。

### 5. 機能検査と性能評価

15台のプロセッサ要素を2進木状に結合したシステムで、通信、プロセッサ要素間の接続チェックのために、テストプログラムが用意されている。そしてTOP方向のステータス出力信号の3ビットをLEDで表示するようにしたT&Dパネルを製作した。これらを使って15台システムのデバッグを行なった。

転送は通常、単一ブロックデータ転送で行なう。128KB以上は複数ブロックデータ転送で行なう。前者は、DMAC内部レジスタに転送先頭アドレスと転送語数を設定して行ない、後者は、転送先頭アドレスと転送語数を複数設定したテーブルを参照して行なう。転送速度と転送語数の関係を、図3に示す。

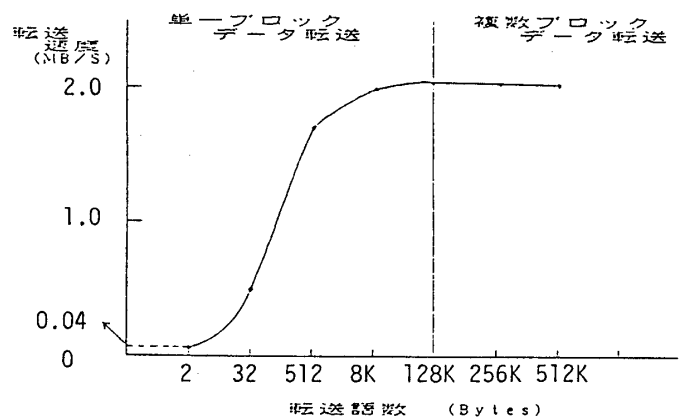


図3 転送速度と転送語数の関係

### 6: まとめ

現在15台のプロセッサ要素が完成しており、CORAL 68Kに必要なIPLを作成中である。

### 参考文献

- 1) 吉谷, 高橋: 2進木構造並列処理プロセッサCORALプロトタイプ'83の性能評価, 情報処理学会第29回全国大会5B-1(1984)
- 2) 藤本, 桑原, 高橋: 68000による2進木構造並列処理システムCORALプロトタイプの設計, 情報処理学会第29回全国大会5B-2(1984)