

高並列推論エンジン実験環境PIEEEの概要

5B-5

小池汎平, 山内 宗, 田中英彦

(東大 工学部)

1. はじめに

高並列推論エンジンPIE [1] は、ゴール書き換えモデルに基き、論理型言語を高並列に実行する。我々は、これまでに、PIEの各部のハードウェアの試作を重ねてきた [2] [3] [4]。しかし、これらは、1台のユニットでの単体性能評価を目的としたものであり、並列処理に対するPIEの評価は、ソフトウェアシミュレーションによるものに止まっていた。

現在我々は、専用ハードウェアにより構成された推論ユニット4台を、負荷分散適応型ネットワークで結合したPIEの並列処理向け実験環境PIEEE (Parallel Inference Engine Experimental Environment) の製作を進めている。PIEEEでは、ハードウェアによる並列処理の評価を行なうとともに、これまでに提案されてきた種々の高速化技法 [5] [6] の実験、システムプログラムなど実用化システムに向けての検討などを行なうことを目的としている。本稿では、PIEEEの概要について述べる。

2. PIIEEEの目的

これまでに我々は、

- ①単一化プロセッサ (専用ハードウェア)
- ②推論ユニット各部 (マイクロプロセッサによるハードウェアシミュレータ)
- ③構造メモリ (専用ハードウェア)

の、PIEの各ユニットの試作を行ない [2] [3] [4]、評価を進めてきた [7] [8]。しかし、これらはいずれもユニットを1台試作しての評価に止まっており、実際に並列に動作させたときのPIEの挙動については、ソフトウェアシミュレーションによる評価がなされているのみである [9]。PIEEE構築の第一の目的は、これまでの試作により実績を積んだ専用ハードウェアを複数台用意し、これらをネットワークにより結合して、「本当の」並列計算機を実際に製作することによって、並列処理の感触をつかむことである。

一方、試作してきたハードウェアの評価により種々の問題点が明らかにされ、これらを解決するために、パイプライン・ゴール書き換え方式 [5]、ゴール切り分け

方式 [6] などの種々の技法が、ハードウェアの試作と並行して進められてきた研究の成果として得られている。これら最新の研究成果を取り込み、実際にハードウェアに組み込んで、その有効性を実証することがPIEEE構築のもう一つの目的である。

また、システムプログラムや入出力の取り扱いなど、並列計算機をコンピュータシステムとして利用する場合に考えなければならない問題点を検討するためのテストベッドとして、PIEEEを利用することも考えている。これらの検討を進めるにあたってのテストケースとして利用する応用プログラムのプロトタイプの開発が進んでいる [10]。

このように、PIEEEは、本格的なPIEのプロトタイプを試作するに先立って、数々の予備実験を行なうためのものである。

3. PIIEEEによる実験項目

PIEEEを用いて、次に示すような各種の実験を行なうことを計画している。

- ①パイプライン・ゴール書き換え方式
- ②ゴール・マルチキャスト方式
- ③ゴール切り分け方式

これらは、いずれも、PIEの高速化技法である。

①は縮退処理と次の単一化処理を並列に行なうものであり、②は複数の定義節を用いた単一化・縮退を並列に行なうものである [5]。これらは、共に、従来方式に比べより多くの並列度を取り出し、プロセッシングパワーの振り分けの範囲を拡大することによって、処理時間の短縮を図るものである。

③は、従来、完全にコピーしていたゴールフレームの一部を共有し、共有データに対するアクセス衝突によるオーバヘッドの増大を招くことなしに処理量の減少を図ることによって、コピーと共有の最良点を見付けるものである [6]。

④ネットワークによる自動負荷分散

これは、負荷最小のプロセッサへの経路を自動的に設定して負荷の転送を行なう負荷分散適応型ネットワーク [11] を用いて、各プロセッサの負荷を均等に保たせ

るものである。

⑤ストリームAND並列型言語の実装

FLENG [12]、GHCなどのストリームAND並列型言語のPIEEE上への実装を試みる。

⑥ハードウェア単体性能の向上

単一化プロセッサの内部をパイプライン化することなどにより、推論ユニットの単体性能の向上を図る。

⑦システムプログラムの作成

⑧応用プログラムの作成

これらによって、PIEを実用システムとして利用するための検討を行なう。

4. PIEEEの構成

PIEEEは、4台の推論ユニット(IU)と、これらを結合する相互結合網、及び、ホスト計算機から構成される。

IUは、単一化プロセッサ(UP)、メモリモジュール(MM)、定義節メモリ(DM)、共有メモリ(SM)、アクティビティコントローラ(AC)、ネットワークインタフェースなどから成る。

前回試作したUPは、その主要な処理である単一化・縮退をマイクロプログラム制御の専用ハードウェアによって処理させ、これ以外の処理をマイクロプロセッサのサービスプロセッサに行なわせていた。今回試作するUPでは、単一化・縮退をハードワイアド制御のハードウェアでパイプライン処理することにより、従来のUPに比べ2~3倍以上の性能向上を目指す。単一化・縮退は、

①セルの読み出し

②セルの型の判断

③セルの型に応じた種々の処理

に分けられるが、これらをパイプライン処理する。一方、従来、サービスプロセッサが行っていた処理はマイクロプログラムで行なう。ハードワイアド制御にしたことで柔軟性を損うことのないように、種々の条件によるハードウェア側からマイクロプログラムへの割り出し機能を設けるなど柔軟性を損わないように留意している。

各IUには分散型のSMを設け、データの共有、ストリームAND並列言語のサポートを行なうことにする。

PIEEEでは負荷の分配に、負荷分散適応型ネットワーク[11]を用いる。これは、ネットワークの空いている経路を利用して、各プロセッサの負荷情報を負荷と逆向きに流し、これを利用して負荷最小のプロセッサをネットワークが自動的に判断して、負荷の転送先を決定するものである。

ホスト計算機には、試作ハードウェアの制御用としての使用実績を積んでいるSUNワークステーションを使用する。

5. おわりに

推論ユニット4台を負荷分散適応型ネットワークで結合した、PIEの並列処理向け実験環境PIEEEの概要について述べた。現在、その詳細設計を進めている。なるべく、早期の稼働を目指したいと考えている。

<参考文献>

- [1] Moto-oka, Tanaka, Aida, Hirata, Maruyama "The Architecture of A Parallel Inference Engine -PIE-", Proc. of FGCS'84, pp479-488, 1984.
- [2] Yuhara, Koike, Tanaka, Moto-oka, "A Unify Processor Pilot Machine for PIE", The Logic Programming Conference'84, ICOT, March, 1984.
- [3] 濱中, 田中, 元岡, "PIEのハードウェアシミュレータ -推論ユニット-", 第30回情処全大, 2C-2, 1985.
- [4] 平田, 猪股, 垂井, 松原, 小池, 田中, 元岡, "PIEの構造メモリ試作ハードウェアの設計について", 信学技報, EC85-64, 1986.
- [5] 小池, 田中, "高並列推論エンジンPIEの高速実行方式", The Logic Programming Conference'86, ICOT, June, 1986.
- [6] 丸山, 酒井, 田中, 元岡, "PIEにおけるゴール表現形式とそのシミュレーション評価", 第32回情処全大, 1R-6, 1986.
- [7] 小池, 相田, 田中, 元岡, "PIEの試作UPの性能評価", 第29回情処全大, 2B-6, 1984.
- [8] 垂井, 小池, 田中, 元岡, "PIEの推論ユニットハードウェアシミュレータの評価", 第32回情処全大, 1R-4, 1986.
- [9] 丸山, 湯原, 相田, 後藤, 田中, 元岡, "高並列推論エンジンPIE~並列度のシミュレーションとその評価~", 信学技報, EC83-39, 1983.
- [10] 平田, 青柳, 小池, 齊藤, 金井, "新世代音楽システムICOToneの全貌", 第33回情処全大, 5N-5, 1986.
- [11] 坂井, 小池, 田中, 元岡, "動的負荷分散を行う相互結合網の構成", 情処論, Vol. 27, No. 5, 1986.
- [12] Nilsson, Tanaka, "-FLENG Prolog- The Language which turns Supercomputers into Parallel Prolog Machines", The Logic Programming Conference'86, ICOT, June, 1986.