

より現実システムに近づく非決定性モデル

6X-5

について

岩間一雄 (京都産大)

1. まえがき

非決定性 TM (NTM) やオルタネート TM (ATM) を純粋に数学モデルとする考え方もあるが、本構造でプロセスを生成していく並行システムのモデルとする見方もある[1,2]。その場合のモデルの最大の特色は、生成された数多くのプロセスは、たん生成されてあとは一切相互干渉を持たないという点であろう。このような少ない通信量で、ATM の場合、 $T(m)$ 時間でおよそ $T(m)$ 領域量の直列計算を模倣できるという並行システムの基準ともいえる性質を有してみる、モデルとしての優秀さは広く認められていく。しかしこの特色は、別の(より現実的)観点からは、並行システムとしては強すぎ制限にもなり、特に低レベルの複雑な具体的問題に対するアルゴリズム設計を考えるとさう(もともと TM 自身がそのような場合にあまりなじみのない点を割引いて考えても)大きな障害になつてゐるようである。以上の動機から、本稿では、ATM や NTM についてプロセス間通信を許すようなモデルの拡張を考える。通信機能としては最も原始的と考えられるバス通信をとり上げる。さちには、ATM から離れ、そのようなバス通信自体の並行システムにおける貢献についても考察する。

2. バス通信を許す ATM

ATM (又は NTM) で生成されるすべてのプロセスが 1 ビットバスを通して通信できるモデルを考える。すべてのプロセスは計算の各ステップで 0 又は 1 をバスに送出し、その結果(バスの状態)は次の次のステップで 0 又は 1 をバスに参照できる。バスと各プロセスの接続は、wired-or を仮定する。即ち 1 つでも 1 を送出するプロセスが存在すればバスの状態は 1 になる。状態遷移関数は、入力テープ記号、ワープテープ記号、内部状態、バス状態の組から、ワープテープ記号(書き換える為の)、ヘッドの動き、次内部状態、バスへの送出記号の組を決める。様相は通常の内容(状態、ヘッドの位置、ワープテープの内容)の他にバス状態が加わる。時刻 α のバス状態 $B(\alpha)$ は時刻 $\alpha-1$ について少なくとも 1 つのプロセスが 1 を送出すると 1 になる(すべてが 0 なら 0)。受理条件は、通常の ATM (又は NTM) のそれと用いる。

以上の様に増強された ATM (NTM) を ATMSB (NTMSB) と呼びことにある。直観的には、各プロセス間の同期をとることが可能になつた。[3] で ATM の非正規言語に対する領域量の下限が loglogn であることを示したが、ATMSB では領域量 loglogn で受理できる非正規言語([4] における DBLBIN) が存在することが証明できる。さうに、その為には ATM の受理条件は本質的ではなく NTM のそれでも十分なこと、さうに領域量の定義に関してもすべてのプロセスに関して最悪の場合をとるという最も強い(実際的)ものでも結果に変化が出ないことが示せた。

On Bus-Connected Parallel Models
 Kazuo Iwama
 Kyoto Sangyo University

[定理1] オンライン NTMSB によって領域量 $O(\log \log \log n)$ で受理できる非正規言語が存在する。(証明略)

3. バス通信自体の能力

前節で述べたように、バス通信の能力はたとえ 1 ビットヒッキングもある局面では ATM の(巧妙な)受理条件を必要としなくてはならない。これはバス通信が自然に OR 演算を実現することも大きな要素になつている。この現象は共通記憶を通じて通信する PRAM モデルについてもみられ、同一アドレスに対する複数個のプロセスによる同時書き込みを許可か(必然的に何つかの演算が導入されなければならぬ)が著者が知つていいすべての場合において書き込んだ内容ではなくプロセスの番号に関するルールを採用している)許さないかによって能力が大きく異つてくることが多くの論文で論じられている(e.g. [5])。

1 ビットバスは自然に OR 演算を実現するが、それを n ビットバスに拡張する場合の演算の自然な拡張は最大値演算であろう。つまり各プロセスは n ビットの 2 進数を出し、バスの状態はその中の最大値になるといふルールで、回路的実現も容易である: バスとの接続部のドライバの入力と出力(バスの状態)を比較し、 $i = 0$ カウタ = 1 以下のドライバも含めそれより下の桁のドライバの出力を高インピーダンス(又はドライバの入力を強制的に 0)にすればよい。複数個の RAM をこのようなくビットバスで接続したシステムを PRAMAX と呼ぶことがある(または RAM の命令で扱われる 1 ワードのビット数以上と仮定)。これはかなり現実性の高いシステムであり、1ステップ動作でプロセサ個数までの数の最大値が得られるといつう利点を有す。以下で例として、前節の minimum spanning tree (MST) を n プロセッサ、 $O(n)$ 時間で求めるアルゴリズムを与える。なお、本モデルは通信幅 1 の PRAM で同時書き込みは最大値を書き込んだプロセッサが優先されるというモデルと同等であるが、著者が知る限りにおいて過去にはとり上げられていない。又、MST に対する n プロセッサ、 $O(m)$ 時間のアルゴリズムも過去には知られていない。

入力としてはプロセッサ i ($P(i)$) に接続され隣接するすべての節点 j と枝 (i, j) の重みを与える。Prim のアルゴリズム ($O(n^2)$ 直列時間) を用ひる。詳細は略すが、次の各処理が 1 ステップで実行できることが基本になる。
(i) $P(i)$ は i をバスに流して i と隣接する接点 j_1, j_2, \dots に対応する $P(j_1), P(j_2), \dots$ をアラートする。
(ii) $P(j_1), P(j_2), \dots$ はそのステップ子間に構築された木 T と自分自身の節点をもつて最小重みの枝をもつける。
(iii) $P(j_1), P(j_2), \dots$ は (i) で得た枝の重み 総数をバスに同時に流すことにより T につながる枝の最小重みを知る。
(iv) その重みの枝が 2 つ以上ある場合はプロセッサ番号最大のものの担当枝をとりその端点を T に加える。
なお、本アルゴリズムは n が少なければプロセッサ数に対して適用できる。

[定理2] m 節点の MST は PRAMAX に m/p プロセッサ、 $O(mp)$ 時間で求めることができることが示される ($p \geq 1$)。

MST に対しては、 n^2 プロセッサ、 $O(\log^2 n)$ 時間等のアルゴリズムが数多く知られており、モデル(無制限の通信幅)やプロセッサ数の点で本アルゴリズムの方が多い現実的といえよう。これに本章では最短経路問題等にもほとんどどの手法が応用でき、エンドに他のいくつかの n^2 直列時間アルゴリズムの本原理による並行化も可能である。
文献 [1] Chandra 他 JACM 28, 1 [2] Savitch 他, JACM 26, 1
[3] Iwama, Res. Rep. KSU/ICS 86-01. [4] —, KSU/ICS 86-02 [5] Fich 他 STOC.