

# 近畿大学における FPGA を用いたプロジェクト型設計教育

松崎 隆哲†

近畿大学 産業理工学部 電気通信工学科†

## 1 はじめに

近年、理工系の大学教育において、これまでの大学教育で重視されてきた授業をうけることで知識を得ていくのではなく、問題設定能力、構想力、創造性、コミュニケーション能力、チームワーク力といった能力を伸ばす取り組みが行われるようになってきている。これらは技術者に要求される能力であることから、(社)日本技術者認定機構(JABEE)において「エンジニアリング・デザイン(engineering design)」は重要な審査項目となっている[1]。

近畿大学産業理工学部電気通信工学科(以降、本学科)では、学部3年生の前期授業(週2コマ(3時間)×15回)でエンジニアデザイン能力を養うために、プロジェクト形式の授業として電子情報設計プロジェクト(以降、設計プロジェクト)を2006年度から実施している。この設計プロジェクトでは、学生は電気電子情報通信分野の四つのテーマから一つを選択し、そのテーマで与えられる課題について数名のグループで共同して取り組んでいる。設計プロジェクトでは、技術者にとって大切な能力である「与えられた仕様書を理解し、その仕様にあった製品(ハードウェアあるいはソフトウェア)を作ってゆく」というエンジニアリング(調査、解析、設計、製作、調整、検査)過程の全体を体験している。その中で、ゼロから開発を行う体験を通し、エンジニアリング・デザイン能力を養うことを目指している。

本稿では、本学科でプロジェクト形式の授業として実施している電子情報設計プロジェクトのテーマから、「FPGAを用いたデジタル回路の設計」について、そのカリキュラムと実施状況について説明する。

## 2 電子情報設計プロジェクトの概要

本学科では、エンジニアリング・デザイン能力を養うために、1年次の「電子情報工学序論」、2年次の「電子情報工学演習」、3年次の

「電子情報設計プロジェクト」、4年次の「卒業研究」と年次毎にエンジニアリング・デザイン能力に関する学習を行う科目を複数開講している。これらの科目において、1,2年次で開講されている科目は、エンジニアリング・デザインの導入を行う科目であり、エンジニアリング・デザインの本格的な学習は、3年次の「電子情報設計プロジェクト」が担当している。

設計プロジェクトでは、四つのテーマ(現在、組み込みシステム(FPGA)、ロボット、シミュレーション、電子工作を用意している)の中から一つを選び、それぞれのテーマで必要になる技術に関する知識を学んだうえで、与えられる課題に対し、実現に至る過程を体験する。そして、その中でゼロから開発してゆくというエンジニアリング・デザイン能力を養う。具体的には、授業の前半はツールの使い方といった基礎的な内容について習得する。授業の後半では、習得した知識を利用して実践的なものを製作していく。これは、テーマ毎に2~5名ずつのグループに分かれ、グループ毎に異なる題材について立案・仕様策定・製作・検証を進め、最終週にはプロジェクト全体の報告書(発表スライド)を作成し、最終報告会を実施している。

## 3 設計プロジェクトのカリキュラム

ここでは、設計プロジェクトの1テーマである「FPGAを用いたデジタル回路設計」の実施内容の詳細について述べる。

設計プロジェクトの「FPGAを用いたデジタル回路設計」では、次の手順で授業を進めている。

- (1) CAD ツール(Altera QuartusII)[2]とFPGA開発ボード(Altera DE2)[3]の利用方法を習得するために簡単なデジタル回路の設計と製作を行う。FPGAだけでなく、標準ロジックICを用いた回路を製作することで、論理回路設計の基礎を学んでいる。ここでは、回路図入力によって、デジタル回路の設計を行っている。
- (2) ハードウェア記述言語(Verilog-HDL)を学習し、適時FPGA開発学習ボードを利用して設計演習を行うことで、Verilog-HDLを利用した簡単な回路設計ができるようにしている。
- (3) グループ毎にFPGA開発学習ボードを利用し

たデジタル回路の実装を行う。このデジタル回路はグループ内の話し合いで決定している。そして、実現するデジタル回路の仕様を定め、回路を設計し、回路の実装を行う。このように、本テーマでは FPGA 開発学習ボード上でデジタル回路を設計し動作させることができる能力を養っている。また、デジタル回路の仕様を学生自身で定めさせ、設計・実装・デバッグ・評価を行うようにしている。

これを実現するために、全 15 回(2 コマ(3 時間)/1 回)の授業時間を次のように利用している。

(1) 簡単なデジタル回路の設計 (4 回)

3 ビットアップダウンカウンタの設計を行い、FPGA への実装を行う。その後、741C を用いてブレッドボード上への実装を行っている。

(2) Verilog-HDL 文法の学習 (4 回)

座学による Verilog-HDL の学習と、FPGA 開発学習ボードを用いた演習を繰り返し行うことで、Verilog-HDL を利用したデジタル回路設計の手法を身につけている。

(3) 設計する回路の検討および実装(6 回)

グループ毎に FPGA ボード上にどのような回路を実装するのかを検討し、グループ毎にオリジナルのデジタル回路を実装する。

(4) 最終報告会 (1 回)

各テーマで製作した内容について、報告会で発表を行っている

設計プロジェクトはエンジニアリング・デザイン能力を養う授業科目であることから、本テーマでは設計するデジタル回路をグループで検討させている。これは、FPGA 開発学習ボードを利用して実現ができそうな回路についてアイデアを出させて、グループ毎にどのようなデジタル回路を設計するのかを決めるようにしている。この議論において、教員と TA は実装の難易度を考慮して指摘をするが、基本的には学生の判断に任せている。

仕様を定めたデジタル回路を実装する際には、グループの進捗状況によって、教員や TA が適時アドバイスをを行うようにしている。そのため、グループによっては TA の協力によって完成することもある。

本テーマでこれまで学生が設計してきた回路の一部を例として以下に挙げる。

- ・ ストップウォッチ
- ・ ルーレット
- ・ 21(ブラックジャック風ゲーム)
- ・ ラーメンタイマー(3分固定ストップウォッチ)
- ・ 世界時計
- ・ 電卓(四則演算対応)

#### 4 大学祭でのパネル発表

設計プロジェクトでは、実施した内容について発表会を行うことで、表現能力や説明を身につけるようにしている。しかしながら、グループ全体での発表となることから、質疑応答が不十分になってしまうということが懸念されていた。そこで、後期に開講している授業科目の「電子情報工学セミナー」において、前期で実施した設計プロジェクトのテーマについて、各グループで説明パネル(A1 サイズ 2 枚)を作成し、大学祭(柏の森祭)でパネル発表会を実施している。

本学科では、大学祭でのパネル発表を学科教員や大学院生に対する説明と、学外からの来場者に対する説明を行う機会として利用している。スライドを利用した発表会では、時間の都合上突っ込んだ質疑応答ができないが、大学祭を利用したパネル発表では、十分質疑応答の時間をとることができる。学生を理解度を確認することができる。また、教員との質疑応答を通して、学生も事後学習を行っているようである。さらに、学外からの一般来場者に対する説明を行うことで、学生にとっては予備知識がない人や興味を持っていない人に対する説明手法などを経験している。

今年度の大学祭での発表会を平成 23 年 10 月 28 日~30 日に実施し、学科教員や大学院生の 23 名と外部からの来場者 97 名によって評価を行った。この評価では、個人毎に発表内容を評価してもらい、その評価結果を集計して、電子情報工学セミナーの評価としても利用している。そのため、学生も真剣に発表に取り組んでいる。また、就職活動において重要となる要点を的確に説明する機会として活用している。

#### 5 おわりに

本稿では、本学科でプロジェクト形式の授業として実施している電子情報設計プロジェクトと、その 1 テーマである FPGA を用いたデジタル回路設計の実施内容について述べた。

#### 参考文献

- [1] (社) 日本技術者教育認定機構 (JABEE)  
<http://www.jabee.org/>
- [2] Altera QuartusII  
<http://www.altera.co.jp/>
- [3] Altera DE2 開発学習ボード  
<http://www.altera.co.jp/>