

積層型不揮発性半導体メモリの設計法

渡辺重佳

湘南工科大学 情報工学科

1. はじめに

近年、DRAMの高速性能とフラッシュメモリの低コスト不揮発特性を併せ持つ新型メモリの研究が盛んである。その代表例のFeRAM (Ferroelectric Random Access Memory) [1]、MRAM (Magnetic Random Access Memory) [2]、PRAM を用いた積層型高速低コスト半導体不揮発性メモリの検討を行った。

2. 積層型 NAND FeRAM の構成

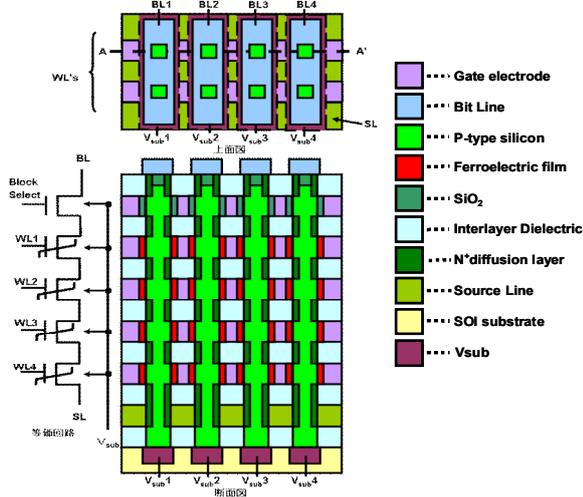


図1 積層型 NAND FeRAM の構成

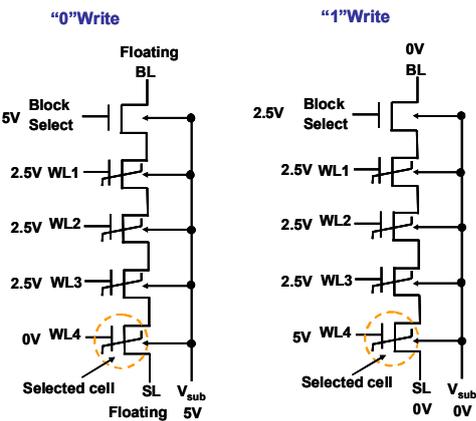


図2 積層型 NAND FeRAM の書き込み方式

Technology

今回検討した積層型 NAND FeRAM の構成を図1に示す。基本的な構成は過去提案されている積層型 NAND フラッシュメモリ [3] の1トランジスタ型メモリセルを1トランジスタ型の FeRAM に置き換えることによって得られる。この方式ではセルのチャンネル部分がシリコンで実現できるためメモリセル移動度が高く、積層型に適した NAND 構成を用いても高速性能が実現できる。

FeRAM 自身の不揮発性のみならず積層する事によりフラッシュメモリと同程度の低コストが実現できる。また高速読み出し特性を実現するために、新たに通過メモリセル部に高電圧パルスを入力する方式の導入により [4]、積層しているにもかかわらず高速特性が実現できる。またランダムに情報を読み出し書き込み出来るように基板の電位をデコードしている [5]。具体的な書き込み方式と読み出し方式を図2と図3に示す。

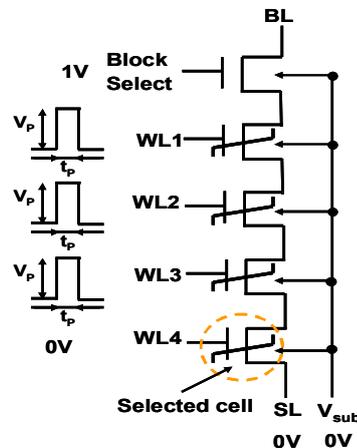


図3 積層型 NAND FeRAM の読み出し方式

39 nmのデザインルール及び1 Tビットの集積度を想定してメモリセルアレイとデコーダ等のコア回路の回路・パターン設計を行いコア回路部分の遅延時間を見積もった所DRAMと同程度の高速性能が実現できる可能性がある事が確認された。

3. 積層構造 NOR 型 PRAM の構成

2章では FeRAM の積層方式に関して述べた。同様な検討をチャンネル部に相変化素子を用いた PRAM に関しても行った。PRAM の場合にはチャンネル部分の移動度が低くなるため、FeRAM で用いた NAND 構造

Study of stacked type non-volatile semiconductor memory with one-transistor memory cell
Shigeyoshi Watanabe
Department of information science, Shonan Institute of

では高速性能を実現できない。そのため図 4 に示す NOR 構造を採用する必要がある[6]。

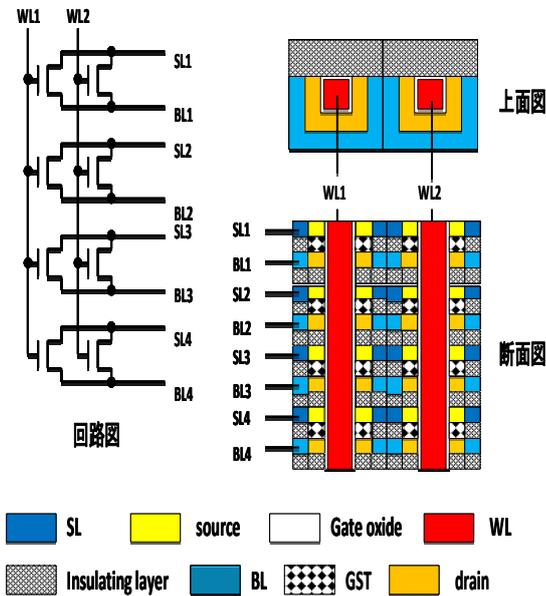


図 4 積層型 NOR PRAM の構成

図 4 では、WL は縦方向に走り、BL と SL が横方向に走っている。メモリセルは NAND 構造のように直列に接続されず、NOR 構造のように並列接続されているため、チャンネル部分の移動度が低くても高速動作が実現できる。図 5 に示すように積層段数を 64 段に増やしても DRAM と同程度の高速動作が期待出来る。

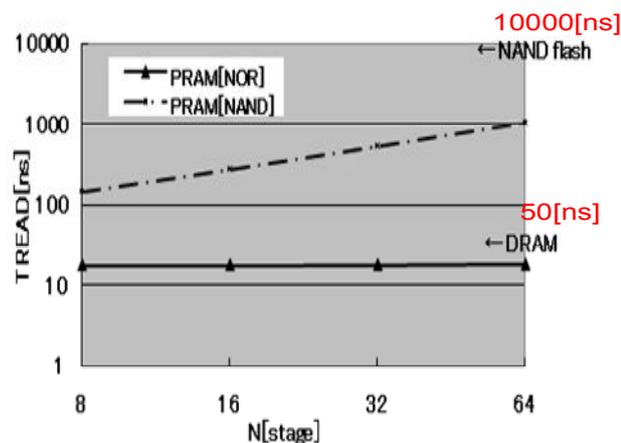


図 5 積層型 NOR PRAM の動作特性

4. 積層構造 MRAM の構成

メモリセルにスピントランジスタを用いた MRAM を積層する場合にはスピントランジスタの

チャンネル部分の移動度が大きいいため、NAND 型、NOR 型の両方式が実現可能になる。NAND 型を用いても、DRAM と同程度の高速動作が実現できる可能性がある[7]。図 6 にスピントランジスタの構成図を示す(左図は NOR 型構成の場合、右図は NAND 型構成の場合のスピントランジスタ)。

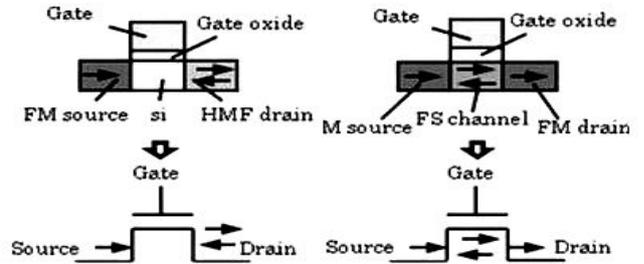


図 6 スピントランジスタの構成図

5. まとめ

メモリセル部の移動度に応じて NAND 構造と NOR 構造を使い分けることにより、DRAM と同程度の高速性能と、フラッシュメモリ以上の低コストの積層型不揮発性半導体メモリ (FeRAM, MRAM, PRAM) を実現できる可能性があることが分かった。

参考文献

- [1] T. Sumi et. al., ISSCC Dig. Tech. Papers, pp. 68-69, 1994.
- [2] Y. Iwata et. al., ISSCC Dig. Tech. Papers, pp. 138-139 2006.
- [3] T. Tanaka et. al., "Bit cost scalable technology with punch and plug process for ultra high density flash memory", Symp. on VLSI Technology, 2007.
- [4] 菅野、渡辺、"積層方式 NAND 構造 1 トランジスタ型 FeRAM の読み出し方式の検討" 電子情報通信学会論文誌 vol. J91-C, no. 11, pp. 668-669, 2008.
- [5] 菅野、渡辺、"積層方式 NAND 構造 1 トランジスタ型 FeRAM の設計法" 電学論 C, Vol. 130, No. 2, pp. 226-234, 2010
- [6] 加藤、渡辺、"相変化チャンネルトランジスタを用いた積層方式 NOR PRAM の検討" 電学論 C, Vol. 131, No. 12, pp. 2220-2221, 2011
- [7] 玉井、渡辺、"ユニバーサルメモリを目指した積層型 NOR MRAM の検討" 電気学会論文誌 C vol. 129, no. 11, pp. 2091-2092, 2009.