

90 nm 級 SoC プロセス対応配線キャラクタライズ手法

金本俊幾[†] 国清辰也^{††} 渡邊哲也[†]
 白田光利[†] 味岡佳英[†]
 石川清志^{††} 寺井正幸[†]

本論文では、膜厚、誘電率等からなる銅配線の構造パラメータの実ウエハにおける仕上がり値を配線容量 TEG の実測値に基づき推定する手法を提案する。本手法は、CBCM (Charge Based Capacitance Measurement) 型 TEG に実装した配線パターンに対し、あらかじめ電磁界解析 (Raphael) を用いて配線構造パラメータに対する寄生容量値の応答曲面 RSF (Response Surface Function) を求め、SA (Simulated Annealing) 手法により実測容量値に適合する配線構造パラメータを推定する。本手法は、(1) CMP プロセスで重要な大域的な配線密度の統一を実現できる CBCM 型 TEG の適用、(2) 90 nm LSI の配線仕上がりに合わせて配線形状モデルの設定、(3) 2 次多項式を用いた RSF、(4) SA による構造探索、により高精度な配線構造パラメータ推定を行う。提案手法を我々の 90 nm SoC プロセスに適用し、配線容量に換算しておおむね誤差 1% 以内の精度で複数の配線層に対する一括推定が実現できたことを示す。

A Method to Characterize Interconnect Process Parameters in 90 nm Technology LSIs

TOSHIKI KANAMOTO,[†] TATSUYA KUNIKIYO,^{††} TETSUYA WATANABE,[†]
 MITSUTOSHI SHIROTA,[†] YOSHIHIDE AJIOKA,[†] KIYOSHI ISHIKAWA^{††}
 and MASAYUKI TERAJI[†]

This paper proposes a method to estimate the actual physical parameters of copper interconnect structures for LSIs, parameters which consist of dimensions of insulation films and wires, and dielectric constants of the insulation films, based on the measured values of interconnect capacitances. The proposed method first extracts capacitances using a field solver (Raphael) for interconnect structures implemented in the charge based capacitance measurement (CBCM) test element groups, then builds response surface functions (RSFs), where capacitance values are responses and physical parameters are variables. Finally, by using the RSFs it searches a set of physical parameters suitable for the actually measured capacitances, employing the simulated annealing algorithm. The accuracy of the method is high, due to the adoption of (1) CBCM, which can make global metal pattern densities uniform, (2) practical cross-sectional models of interconnects for 90 nm node LSIs, (3) optimized RSFs expressed by polynomials of order 2, and (4) physical parameter fitting based on simulated annealing. As the resultant values of the physical parameters are accurate, Raphael has calculated capacitance values within 1% error compared to the measured capacitance from the CBCM test structures for our 90 nm SoC.

1. はじめに

LSI の微細化進展にともない、配線容量に起因する遅延増加、クロストークノイズ等の問題が顕在化して

おり、配線容量を精度良く抽出することがますます重要になっている。図 1 に、ITRS¹⁾ 2000Update に掲載された SoC (System on a Chip) 配線トレンドより求めた、ゲート長 180 nm から 100 (90) nm に至る世代に対するグローバル配線の RC 遅延増加傾向を示す。

また、我々の 90 nm SoC プロセス^{2),3)} について、グローバル配線層の抵抗、および容量をそれぞれ 20% ずつ増加させた際の遅延変化のグラフを図 2 に示す。ただし、駆動ゲートとしてグローバル配線層の長距離配

[†] 株式会社ルネサステクノロジ製品技術本部
 LSI Product Technology Unit, Renesas Technology Corporation

^{††} 株式会社ルネサステクノロジ生産本部
 Production and Technology Unit, Renesas Technology Corporation

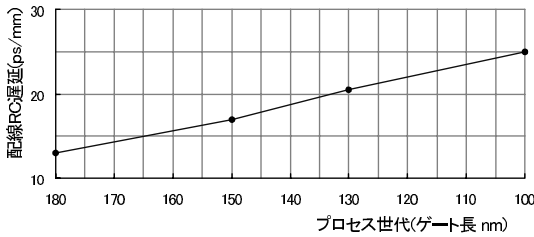


図1 配線 RC 遅延の変遷
Fig.1 Trend of RC delay.

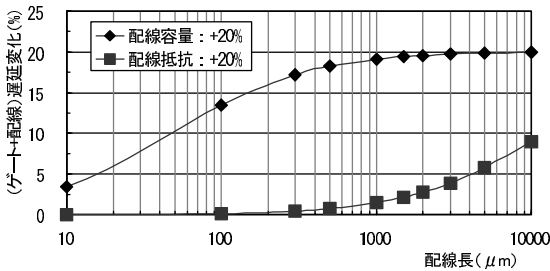


図2 配線 R,C ばらつきによる遅延変化
Fig.2 Deviation of delay due to RC variation.

線を駆動するとき用いる，最小トランジスタサイズに対して 16 倍のインパタを仮定した。

図1より，微細化にともなう配線 RC 遅延の増加傾向が読み取れる．一方，図2より 90 nm テクノロジーにおいてはおおむね 4 mm までの配線長の配線に対して配線抵抗が 20%変化してもそれにとまなう遅延変化は 5%以下であり，配線容量を精度良く見積もることが重要であることが分かる．配線容量は配線と絶縁膜の物理寸法，および絶縁膜の誘電率等からなる配線構造パラメータにより決まる．したがって，実ウエハ上の配線構造パラメータの仕上がり値を精度良く推定することが高精度な配線容量抽出 (LPE) を実現するうえで必須となる．従来，配線構造パラメータの値を推定する手順は，まずプロセス工程のレシピに基づき設計値を見積もり，特定の箇所ウエハを切断して断面形状を確認するのが一般的であった⁴⁾．しかし，実 LSI 上の配線構造パラメータ値のランダムな統計的チップ間ばらつき⁵⁾ に対し，観測箇所が分布のどの部分に相当しているかを同定する手法は発表されていない．このため，従来手法では配線構造パラメータの推定の精度に問題があった．そこで，我々は配線構造パラメータの統計的チップ間ばらつきに対する平均値を非破壊で高精度に推定する手法を開発した．本手法は配線 TEG の容量等の実測値に基づき配線構造パラメータの実ウエハにおける仕上がり値を推定する．これを我々は配線キャラクタライズと呼ぶ．なお，Sylvester ら⁶⁾ は，CBCM の測定結果と Raphael によるシミュ

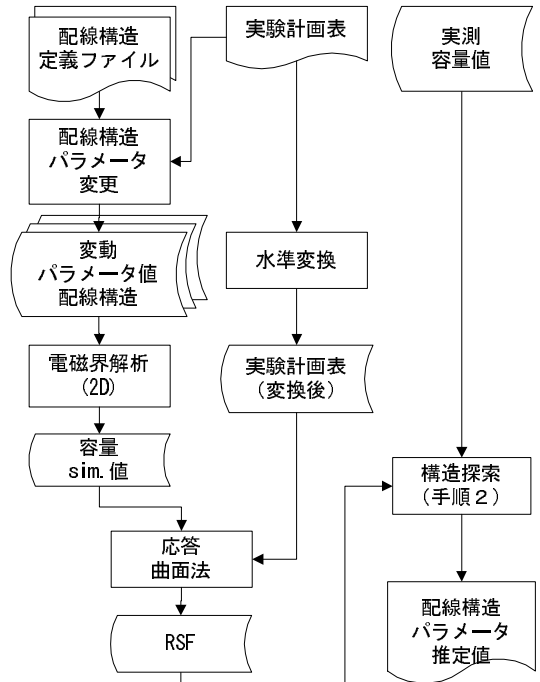


図3 処理フロー図
Fig.3 Flow chart.

レーション結果の比較を報告している．Mido ら⁷⁾ は，CBCM TEG で複数の配線間容量成分の測定を可能とするため，被測定ノードを切り替える素子を設ける手法を提案している．本論文は，これらの文献の CBCM 測定手法を使って，配線キャラクタライズの詳細な手法について提案している．これが，文献 6)，7) と本論文との違いである．

2. 配線キャラクタライズ問題の定義とその手法

配線キャラクタライズ問題は，(i) 配線構造，および断面寸法の設計値，(ii) 実験計画表 (配線構造パラメータごとにとりうる値の集合 (水準) と，実験で使う組合せを定義)，(iii) 配線 TEG の実測容量値，を与え，実 LSI 上の配線構造パラメータ推定値を求めるものと定義する．問題を解く手法は，以下の手順 1～2 からなる (図 3)．

手順 1: 実験計画表に基づき電磁界解析用配線構造定義ファイルの配線構造パラメータを変動させ，電磁界解析により配線容量値を計算する．適宜実験計画表の水準値を変換して，電磁界解析で計算した配線容量値を 2 次多項式で近似した応答曲面を得る．

手順 2: 手順 1 で求めた応答曲面を用いて，容量実測値から配線構造パラメータの組を推定する．

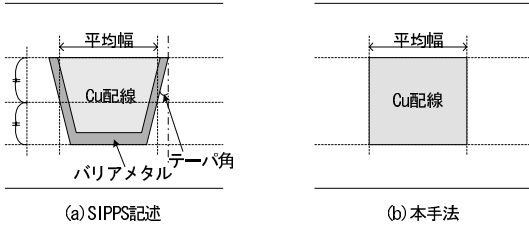


図 4 Cu 配線断面モデル

Fig. 4 Models of Cu interconnect cross-section.

以下の節では、入力となる配線構造、実験計画表、および配線 TEG を説明し、応答曲面を導出する手法、および実 LSI 上の配線構造パラメータ推定値を求める構造探索手法について述べる。

なお、実 LSI 上の配線構造パラメータ値には、リソグラフィプロセスや CMP (Chemical and Mechanical Polishing) 平坦化プロセス等による系統的チップ内ばらつきと、ランダムな統計的チップ間ばらつきが存在する⁵⁾。本手法ではこれらのうち、LPE ツールで扱う配線形状モデルの標準的な仕様を定めた SIPPS⁸⁾ 1.06 で定義された、リソグラフィプロセス等に起因する配線幅のチップ内ばらつきのみを考慮し、他の要因に対しては分布の平均値を求めることとする。

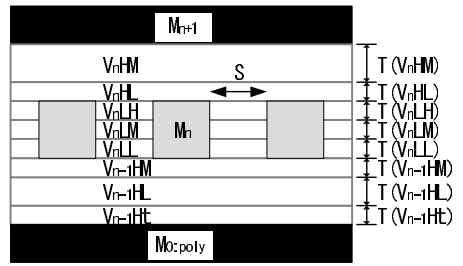
2.1 配線構造

ダマシンプロセス^{2),3)}を用いた Cu 配線の断面形状を SIPPS 表記で表したモデルと、本手法における断面形状のモデルを図 4 に示す。Cu 配線では、一般に図 4(a) の SIPPS 表記に示した配線側面のテーパー角と、Cu の酸化を防止するため側壁に設けられるバリアメタルが特徴とされる。これらのうち、テーパー角について、本手法では平均幅を幅とする矩形断面で近似する。近似の正当性については次章で検証する。また、バリアメタルの膜厚については、配線容量実測値に着目した本手法では推定対象としない。

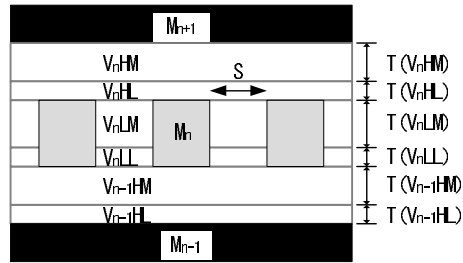
次に、本手法において推定対象となる配線構造、および配線構造パラメータの例を図 5 に示す。配線構造は、平行する等幅、等間隔の信号配線を上下配線層のグランドプレートで挟んだ構造とし、中央の信号配線に寄生する容量を測定対象とする。

図 5 において M_n, M_{n+1}, M_{n-1} は、それぞれ下から数えて第 $n, n+1, n-1$ 層の配線層を示し、 $V_nXX, V_{n-1}XX$ ($X: 'H', 'M'$ または $'L'$) は誘電体層を $T(V_nXX)$ は誘電体層の膜厚を表す。図 5(a)、図 5(b) における配線層の膜厚はそれぞれ、 $T(V_nLL) + T(V_nLM) + T(V_nLH), T(V_nLL) + T(V_nLM)$ である。

ある設計値の配線幅と配線間隔を持つパターンに対



(a) 配線層 $n=1$



(b) 配線層 $n \geq 2$

図 5 配線構造パラメータ例

Fig. 5 Examples of interconnect cross-sectional parameters.

し、 S は配線間隔の仕上がり値を表すものとする。本手法の推定対象配線構造パラメータは、 $T(V_nXX)$ および S である。

配線構造パラメータには、膜寸法以外に誘電体層の比誘電率も含まれる。しかし、誘電体層の膜厚と比誘電率は推定の際に分離が困難⁹⁾である一方、膜の組成に対して比誘電率はほぼ一意に決まる²⁾。したがって、本手法では各誘電体層内の組成を均一と仮定して比誘電率は組成ごとに既知の値を用い、膜厚を推定対象とする。特に評価実験に用いる我々の 90 nm 級プロセスの場合、文献 2) に示されるように、隣接配線間の Low-k 膜 (図 5(a) V_nLM) は上下の誘電体層との積層となっており、かつそれらの膜厚の割合は予測困難で、これが容量誤差の主因と考えられている。

2.2 実験計画表および応答曲面

本手法では、まず実験計画¹⁰⁾に基づき電磁界解析の配線構造パラメータを配線構造定義ファイル記載の設計基準値から変動させ、電磁界解析によりそれぞれのパラメータ値に応じた配線容量値を計算して応答曲面 RSF (Response Surface Function)¹¹⁾ を求める。ここで、本手法における RSF の予測変数は配線構造パラメータを変換した変数で、応答は容量値である。ここでいう変換とは RSF の応答が予測変数の多項式で近似できるように配線構造パラメータと配線容量と

表 1 実験計画表による変数変換

Table 1 Parameters conversion based on DOE.

配線構造パラメータ	変動パラメータ値	水準変換値
$T(V_n HM)$	$T(V_n HM)(1 + \gamma N)$	$1/(1 + \gamma N)$
$T(V_n HM)$	$T(V_n HM)(1 + \gamma N)$	$1/(1 + \gamma N)$
$T(V_n HL)$	$T(V_n HL)(1 + \gamma N)$	$1/(1 + \gamma N)$
$T(V_n LH)$	$T(V_n LH)(1 + \gamma N)$	$1 + \gamma N$
$T(V_n LM)$	$T(V_n LM)(1 + \gamma N)$	$1 + \gamma N$
$T(V_n LL)$	$T(V_n LL)(1 + \gamma N)$	$1 + \gamma N$
$T(V_{n-1} HM)$	$T(V_{n-1} HM)(1 + \gamma N)$	$1/(1 + \gamma N)$
$T(V_{n-1} HL)$	$T(V_{n-1} HL)(1 + \gamma N)$	$1/(1 + \gamma N)$
$T(V_{n-1} Ht)$	$T(V_{n-1} Ht)(1 + \gamma N)$	$1/(1 + \gamma N)$
S	$S(1 + \gamma N)$	$1/(1 + \gamma N)$

の関係を考慮して水準変換を行うことである．その水準変換値は，配線層間誘電体を積層していない場合について，本手法の配線構造に対応する配線容量値を配線構造パラメータで表した解析式 (1) および (2) ¹²⁾ を考慮して表 1 のように決めた．

$$C_v = \epsilon \left\{ \frac{w}{h} + 1.086 \left(1 + 0.685e^{\frac{-t}{1.343s}} - 0.9964e^{\frac{-s}{1.4217h}} \right) \left(\frac{s}{s+2h} \right)^{0.0476} \left(\frac{t}{h} \right)^{0.337} \right\} \quad (1)$$

$$C_c = \epsilon \left\{ \frac{t}{s} \left(1 - 1.897e^{\frac{-h}{0.31s} - \frac{-t}{2.474s}} + 1.302e^{\frac{-h}{0.082s}} - 0.1292e^{\frac{-t}{1.326s}} \right) + 1.722 \left(1 - 0.6548e^{\frac{-w}{0.3477h}} \right) e^{\frac{-s}{0.651h}} \right\} \quad (2)$$

ただし， ϵ は誘電率， C_v は対プレート容量， C_c は対隣接配線容量， w は配線幅， s は配線間隔， t は配線膜厚， h は配線層間膜厚を表す．なお，表 1 において水準変換値 $1/(1 + \gamma N)$ は，予測変数 x が $1/T(V_n XX)$ ， $1/T(V_{n-1} XX)$ ，または $1/S$ となることを表す．

本手法では，高精度な RSF を得るため，式 (3) で表される 2 次の多項式 RSF を採用する．あとの適用結果で示すように，本論文の配線キャラクタイズでは 2 次の多項式で十分である．一般には，必要十分な近似精度が得られる次数が 2 次であるとは限らない．

$$RSF = \beta_0 + \sum_{i=1}^k \beta_i x_i + \sum_{i=1}^k \beta_{ii} x_i^2 + \sum_{j=1}^k \sum_{i=1}^{i < j} \beta_{ij} x_i x_j \quad (3)$$

なお，式 (3) の β は最小 2 乗法で決める係数， k は配線構造パラメータの総数である．また，図 5 の例に対する RSF の予測変数 x_i ， x_j は表 1 に示す水準変換値とする．実験計画表の値，すなわち表 1 の水準値 N は $\{\dots -1, 0, 1, \dots\}$ の値をとるものとし， γ は水準値増分 1 あたりの各配線構造パラメータの変動幅と

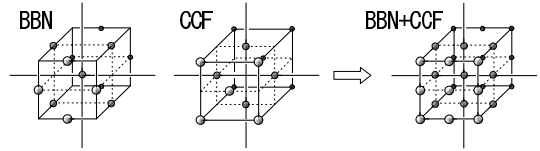


図 6 実験計画表の併合

Fig. 6 Combining design tables.

する．

2 次の多項式 RSF に適合する実験計画としては，BBN (Box Behnken) 計画および CCF (Face-centered Central Composite) 計画が一般に用いられており^{13),14)}，さらに両者を併合した実験計画も知られている¹⁵⁾．これらの計画について，3 変数の場合の実験計画を図 6 に示す．本手法では，変動幅の全域において精度を確保するため，BBN と CCF を併合した実験計画を用いる．なお，図 6 中の点は文献 15) の実験点を表し，見やすさのため各実験点を接続する線分も表記している．

2.3 CBCM TEG による容量実測

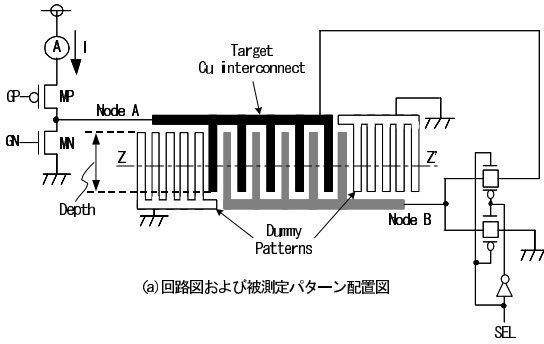
次に，配線容量実測 TEG により本手法の配線構造に対する容量の実測値を得る．本手法では CMP によるチップ内の系統的な膜厚ばらつきを抑えるため，幅あるいは間隔の違いが配線パターン密度に影響を与える測定対象配線を極小化する必要がある．そこで，本手法では小面積の対象配線で高精度な容量測定が行える CBCM¹⁶⁾ TEG を採用する．さらに，我々は既存の CBCM 回路に対し，成分分離した容量の測定を可能とする改良を行った．図 7 (a) に TEG の回路図，およびパターン配置図を示す．また，図 7 (a) のセレクト SEL の設定による実測容量の構成成分を図 7 (b) および式 (4)，(5) に示す．

$$C_{total1} = 10C_c + 5C_v + \Delta C_1 \quad (SEL = V_{ss}) \quad (4)$$

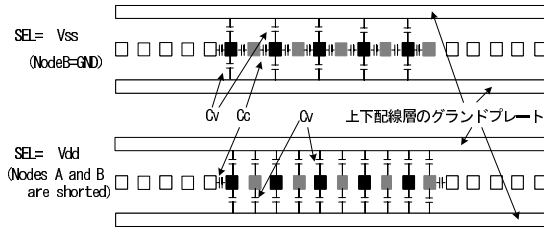
$$C_{total2} = 2C_c + 10C_v + \Delta C_2 \quad (SEL = V_{dd}) \quad (5)$$

ただし， C_{total1} ， C_{total2} は実測容量値とする．成分を分離した容量値は，式 (4)，(5) の容量値を信号線 SEL を切り替えて測定することにより求める．また，式中の ΔC は CBCM の C_c ， C_v 以外の容量を表す．文献 16) に示された一般的な CBCM TEG と同様，被測定 TEG の近傍に図 7 (a) の Depth を短くとしたダミーの被測定パターンとトランジスタ MP，MN を配置し，そこに流れる電流値と，被測定 TEG の電流値の差をとることによりこれらの寄生容量成分を相殺する原理を用いている．

対象配線パターンの両側には，当該パターンと配線幅および配線間隔を等しくする数本の隣接配線をレイアウトする．これは，対象配線パターンの両端におけ



(a) 回路図および被測定パターン配置図



(b) (a) 図におけるZ-Z断面

図 7 提案手法における CBCM TEG

Fig. 7 The proposed CBCM test structure.

るリソグラフィプロセスの条件を中央部と等しくし、配線幅の仕上がりを均一化する目的による。また、さらに外側の領域には配線密度を均一化するため、電位を固定しないダミーパターンを配置する。90 nm プロセス適用時の配線密度分布については次章で議論する。

2.4 構造探索

本手法の最終ステップとして、RSF と容量実測値に基づき配線構造パラメータを推定する。この推定問題は、予測変数群 (x_1, x_2, \dots, x_k) の様々な値の組に対する配線容量値 $Cest_i (i = 1, 2, \dots, m; m$ は配線層数) の応答曲面 RSF と配線容量の実測値 $Cmeas_i$ が与えられて、式 (7) のコスト関数 E を最小にする予測変数値群の組 (x_1, x_2, \dots, x_k) を決定する最適化問題である。局所最適解に陥ることを防ぐため、本手法では SA (Simulated Annealing)⁷⁾ による解の探索を行う。式 (6) に表される状態推移確率 P_{accept} に対する、本手法における温度関数、および予測変数の解 (x_1, x_2, \dots, x_k) から $(x'_1, x'_2, \dots, x'_k)$ への変更操作をそれぞれ式 (8)、式 (9) に示す。

$$P_{accept}(E, E', T) = \begin{cases} 1 & (E > E') \\ \exp(-(E' - E)/T) & (E \leq E') \end{cases} \quad (6)$$

表 2 適用条件

Table 2 Conditions of the experiment.

パラメータ	単位	値
変動幅 γ	%	20
TEG 配線幅 W	$W_{min} \times 1, \times 2, \times 3, \times 4$	
TEG 配線間隔 S	$S_{min} \times 1, \times 2, \times 3, \times 4$	
SA 初期温度 T_0		0.7
クーリングファクタ ΔT		0.7

表 3 実験計画パラメータ

Table 3 Parameters of DOE.

配線層	M1	M2 以上
配線構造パラメータ数	9	7
水準数	3	3
容量シミュレーション回数	728	234

$$E(x_1, x_2, \dots, x_k) = \sqrt{\sum_{i=1}^m \left(\frac{Cest_i(x_1, x_2, \dots, x_k) - Cmeas_i}{Cmeas_i} \right)^2} \quad (7)$$

$$T = T_0 \Delta T^t \quad (8)$$

$$x'_j = x_j (1 + \gamma \xi) \quad (9)$$

ただし、 T_0 は初期温度、 ΔT はクーリングファクタ、 t は時刻、 ξ は区間 $[-1, 1]$ の一様乱数とする。

3. 90 nm プロセスへの適用結果

本章では、我々の 90 nm SoC プロセスの M1 および M2 配線に対して本手法を適用した結果をもとに、配線構造パラメータ推定精度および有効性の議論を行う。

3.1 適用条件

適用条件を表 2 に示す。配線構造パラメータは図 5 に示した変数を用いた。実験計画における γ は、チップ外の領域で配線構造パラメータを個別に測定するプロセス TEG の管理範囲とし、 γ が適正でない TEG は測定対象から排除した。また、配線幅および配線間隔の組合せは、実 LSI の信号配線のバリエーションに基づき決定した。

実験計画のパラメータを表 3 に示す。水準数 3 の場合の水準値は、 $\{-1, 0, 1\}$ である。なお、BBN, CCF の実験計画表生成には Selete (半導体先端テクノロジーズ) 製 ENEXSS、容量シミュレーションには Raphael¹⁸⁾ RC2 (2D) を用いた。また、RSF 導出には最小 2 乗法¹¹⁾ を用いた。

また、実装した CBCM TEG の容量測定対象配線を中心とした領域における、配線パターン密度分布を表 4 に示す。なお、TEG の被測定回路配置可能領域は $70 \times 80 \mu\text{m}$ であり、被測定配線パターン領域は

表 4 配線パターン密度分布
Table 4 Distribution of pattern density.

配線層	ウインドウ ($\mu\text{m sq.}$)	平均密度 (%)	標準偏差
M1	100	38.35	1.41
	70	35.15	2.10
	50	28.00	3.62
	30	28.70	6.38
	20	30.25	9.29
10	32.95	14.26	
M2 to M5	100	39.44	1.62
	70	35.40	2.50
	50	28.27	4.17
	30	30.30	7.38
	20	34.60	12.06
10	43.84	13.62	

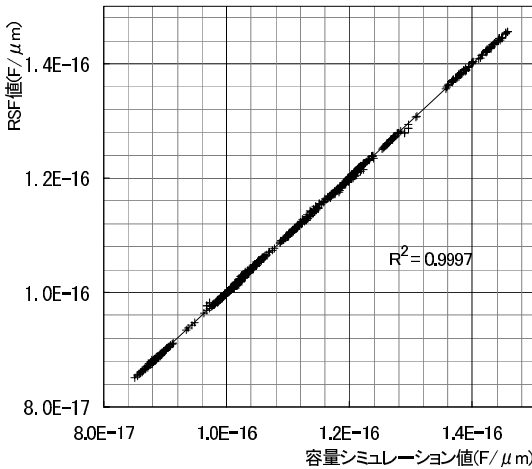


図 8 RSF 予測精度 (M1, W: $\times 1$, S: $\times 3$)
Fig. 8 RSF accuracy (M1, W: $\times 1$, S: $\times 3$).

$2 \times 72 \mu\text{m} \sim 11 \times 72 \mu\text{m}$, その両側には PAD を配置している.

容量実測値は 26 チップについて測定を行い、それらの平均値を採用した.

3.2 配線キャラクタライズ結果

まず, RSF の精度を示す. RSF 生成においては, 表 2 のすべてのケースについて 0.9997 以上の自由度調整済み決定係数 R^2 の値¹¹⁾ を得た. $R^2 = 0.9997$ のケースにおける容量シミュレーション値と式 (3) の RSF による近似値との相関を図 8 に示す.

図 9 および表 5 に, 本手法で推定した配線構造パラメータの設計値からのずれを示す. また, 図 10 に配線構造パラメータの設計値を用いて Raphael により求めた容量の誤差, 図 11 に推定した配線構造パラメータを用いて求めた容量の誤差を示す. 本手法で推定した配線構造パラメータが, それらを用いて計算した配

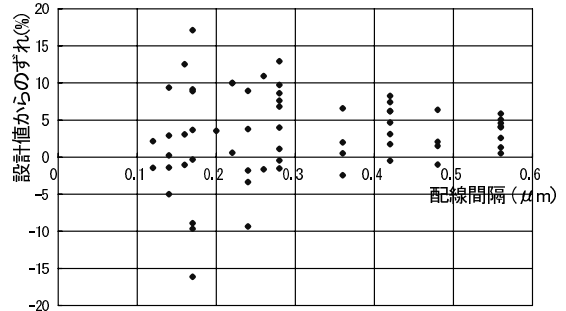


図 9 推定した配線間隔の設計値からのずれ
Fig. 9 Deviations of the resulting spacing from designed values.

表 5 推定した配線構造パラメータの設計値からのずれ (配線間隔を除く)

Table 5 Deviations of the resultant physical parameters from designed values (except for spacing).

配線構造パラメータ	設計値からのずれ (%)
T(V5HM)	0.67
T(V5HL)	19.99
T(V5LM)	-0.90
T(V5LL)	1.01
T(V4HM)	-11.89
T(V4HL)	-19.99
T(V[2-3]HM)	-15.50
T(V[2-3]HL)	-14.43
T(V[2-4]LM)	-4.87
T(V[2-4]LL)	-17.76
T(V1HM)	7.04
T(V1HL)	1.53
T(V1LH)	15.00
T(V1LM)	-7.94
T(V1LL)	-19.81
T(V0HM)	19.95
T(V0HL)	11.93
T(V0Ht)	12.47

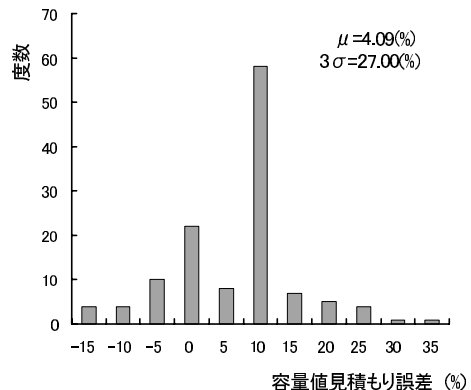


図 10 配線構造パラメータ設計値を用いた容量シミュレーション値の実測値との誤差

Fig. 10 Errors of capacitances due to designed interconnect parameters.

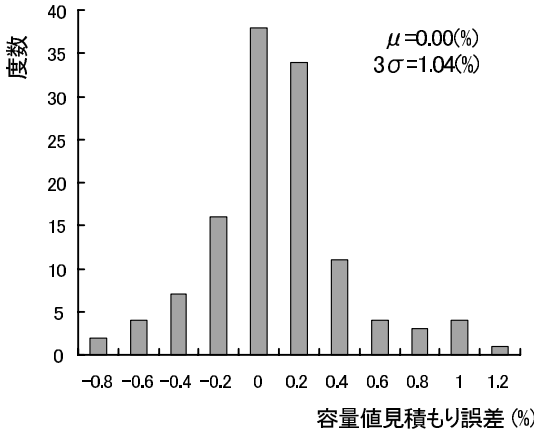


図 11 配線構造パラメータ推定値を用いた容量シミュレーション値の実測値との誤差

Fig. 11 Errors of capacitances due to estimated interconnect parameters.

線容量値を $3\sigma = 27\%$ から 1% の精度に改善していることが分かる。商用の LPE ツール¹⁹⁾ の抽出する容量値の容量シミュレーションに対する公称誤差 5% 程度と比較して、十分な精度が得られたと考えられる。なお、表 4 に示すように、グローバルなウインドウ、特に、 $100\ \mu\text{m}$ の大きさのウインドウにおける配線密度を約 39% になるように制御している。これは、我々の $90\ \text{nm}$ プロセスが、設計制約としてこのサイズのウインドウにおける配線密度を当該密度の近傍に制限していることによる。一方、ローカルなウインドウ、すなわち $30\ \mu\text{m}$ 以下の大きさのウインドウにおける配線密度は特に制御しておらず、実際 $3\sigma = 20\%$ から 45% の間のばらつきを持っている。この条件のもとで配線構造パラメータが一意に推定できたことにより、我々の $90\ \text{nm}$ プロセスでは、配線構造パラメータに対するローカルなウインドウにおける配線密度の影響は少ないと考えられる。また、Cu 配線の特徴とされるテーバ形状については、我々の $90\ \text{nm}$ プロセスでは長方形の断面で近似しても十分な容量抽出精度が得られることが判明した。

次に、仮想的にばらついた配線構造を想定し、電磁界解析によって TEG パターンに相当する容量値を求め、当該容量値を用いて推定した配線構造パラメータの、実際の構造に対する予測精度を実験的に検証した。表 6 に検証結果を示す。本手法で推定した配線構造パラメータは、隣接配線間膜厚 $VnLL+VnLM(+VnLH)$ と配線層間膜厚 $VnHL+VnHM(+VnHt)$ との分離は良好である一方、個別の膜厚、特に配線層間膜厚 $VnHL+VnHM(+VnHt)$ 内に分離精度が相対的に

表 6 配線構造パラメータ再現性

Table 6 Reappearance of interconnect parameters.

パラメータ	想定値 (arb.unit)		推定値 (arb.unit)		相対誤差 (%)	
T(V5HM)	1.000	1.113	0.989	1.114	-1.1	0.2
T(V5HL)	0.113		0.125		11.5	
T(V5LM)	0.575	0.655	0.575	0.654	0.0	-0.2
T(V5LL)	0.080		0.079		-1.8	
T(V4HM)	0.463	0.575	0.468	0.574	1.2	-0.1
T(V4HL)	0.113		0.106		-5.5	
T(V2HM)	0.500	0.613	0.502	0.608	0.4	-0.8
T(V2HL)	0.113		0.105		-6.3	
T(V2LM)	0.575	0.625	0.573	0.625	-0.3	0.0
T(V2LL)	0.050		0.052		3.3	
T(V1HM)	0.500	0.613	0.506	0.617	1.2	0.7
T(V1HL)	0.113		0.111		-1.4	
T(V1LH)	0.413	0.613	0.415	0.612	0.6	0.0
T(V1LM)	0.138		0.146		5.9	
T(V1LL)	0.063		0.052		-17.4	
T(V0HM)	0.063	0.788	0.055	0.776	-11.7	-1.4
T(V0HL)	0.663		0.669		1.0	
T(V0Ht)	0.063		0.052		-16.5	

低い成分が認められる。ここで、分離とは測定した容量値から隣接配線間膜、配線層間膜やそれらを構成する個々の誘電体層膜厚を分離して予測することである。分離精度が低い理由としては、当該膜厚の絶対値が小さいことに加え、以下の理由が考えられる。すなわち、平行平板間に面積 S 、厚さ $d1, d2$ 、誘電率 ϵ_1, ϵ_2 を持つ 2 つの誘電体がある場合、平行平板容量 C は、式

$$C = \epsilon_1 \epsilon_2 S / (\epsilon_1 d_2 + \epsilon_2 d_1) \tag{10}$$

で表されるが、 S を変化させても、平行平板容量 C からは $d1, d2$ を分離できない。つまり、配線幅と配線間隔の変化に対する $VnHL$ と $VnHM$ の分離要因は端効果による影響のみであり、 $VnHL$ と $VnHM$ の分離精度が低くなると考えられる。

提案手法には以上のような制限はあるが、容量に対する影響が小さい変数の分離精度に対する制限であるため、容量抽出精度に対する影響は小さいと考えられる。実際、この実験において推定された配線構造を用いて容量シミュレーションを行った結果、想定した構造パラメータを用いて求めた容量値と比べて、 1% 以下の誤差に収まった。

4. む す び

本論文では、配線容量を測定する TEG の実測値に基づき、膜厚、誘電率等からなる配線構造パラメータの実ウエハにおける仕上がり値を推定する手法を提案し、我々の $90\ \text{nm}$ SoC プロセスに適用し、配線容量に換算しておおむね誤差 1% 以内の精度で複数の配線

層に対する一括推定が実現できたことを示した。今後、CMPによる配線構造パラメータのチップ内ばらつき、特にグローバルなウィンドウにおける配線密度に対する配線構造パラメータの依存性を検証し、当該要因を考慮したキャラクタライズ手法とする予定である。

謝辞 本研究をまとめるにあたり、半導体理工学研究センター物理設計開発室増田弘生室長、阿久津滋聖氏、東京工業大学大学院理工学研究科轟章助教授、岩崎篤氏、松下電器産業株式会社山下恭司氏、海本博之氏、大谷一弘氏、山口龍一氏のご協力に感謝いたします。

参 考 文 献

- 1) SIA: International Technology Roadmap for Semiconductors.
- 2) Matsuura, M., Nishioka, Y., Matsumoto, S., et al.: Robust Low-k SiOC Integration in Cu Dual Damascene Interconnect for 90 nm Node SoC Technology, *AMC 2002* (2002).
- 3) Tomita, K., Miyanaga, I., et al.: Sub-1 μm^2 High Density Embedded SRAM Technologies for 100 nm Generation SOC and Beyond, *Symposium on VLSI Tech. Dig.*, pp.14–15 (2002).
- 4) Yamada, K., Okada, N., Yasuda, M. and Oda, N.: Accurate Modeling Method for Deep Sub-Micron Cu Interconnect, *2003 Symposium on VLSI Technology*, pp.111–112 (2003).
- 5) Agarwal, A.B., Blaauw, D., et al.: Statistical Delay Computation Considering Spatial Correlations, *ASP-DAC 2003*, pp. 271–276 (2003).
- 6) Sylvester, D., Chen, J.C. and Hu, C.: Investigation of Interconnect Capacitance Characterization Using Charge-Based Capacitance Measurement (CBCM) Technique and Three-Dimensional Simulation, *IEEE Journal of Solid-State Circuits*, Vol.33, No.3, pp.449–453 (1998).
- 7) Mido, T., Ito, H. and Asada, K.: Test Structure for Characterizing Capacitance Matrix of Multi-Layer Interconnects in VLSI, *IEEE Trans. Electron*, Vol.82-C, No.4, pp.570–575 (1999).
- 8) SI2: Standard Interconnect Performance Parameters.
- 9) 半導体理工学研究センター：LSI回路の挙動に関するシミュレーション技術の開発、平成11年度成果報告書(1999)。<http://www.tech.nedo.go.jp/Index.htm>
- 10) 田口玄一：実験計画法。第3版、丸善(1976)。
- 11) 轟 章：インターネット講義—応答曲面法の機械工学における適用。<http://ueno.mes.titech.ac.jp/rec-res.html>
- 12) Wong, S.C., Lee, G.Y. and Ma, D.J.: Modeling of Interconnect Capacitance, Delay, and Crosstalk in VLSI, *IEEE Trans. Semiconductor Manufacturing*, Vol.13, pp.108–111 (2000).
- 13) Box, G.E.P.: *Empirical model-building and Response Surfaces*, John Wiley & Sons, Inc. (1987).
- 14) Montgomery, D.C.: *Design and Analysis of Experiments, 4th ed.*, John Wiley & Sons, Inc. (1996).
- 15) Sato, H., Ito, Y., Kunitomo, H., Baba, H., Isomura, S. and Masuda, H.: Delay Library Generation With High Efficiency and Accuracy on the Basis of RSM, *IEICE Trans. Electron.*, Vol.E83-C, No.8, pp.1295–1302 (2000).
- 16) McGaughy, B.W., Chen, J.C., Sylvester, D. and Hu, C.: A Simple Method for On-Chip, Sub-Femto Farad Interconnect Capacitance Measurement, *IEEE Electron Device Letters*, Vol.18, No.1, pp.21–23 (1997).
- 17) Rutenber, R.A.: Simulated Annealing Algorithms: An Overview, *IEEE Circuits and Devices Magazine*, pp.19–26 (1989).
- 18) Synopsys, Inc.: *Raphael Reference Manual*, RA 2000. 2nd edition (2000).
- 19) Synopsys, Inc.: *Star-RCXT 2003.03* (2003).

(平成15年10月10日受付)

(平成16年3月5日採録)



金本 俊幾(正会員)

平成元年日本大学理工学部物理学科卒業。平成3年同大学大学院理工学研究科修士課程修了。同年三菱電機(株)入社。以来、LSIの物理設計・検証技術の研究開発に従事。現在、株式会社ルネサステクノロジ製品技術本部設計技術統括部勤務。



国清 辰也

昭和63年東京大学工学部電子工学科卒業。同年三菱電機(株)入社。以来、ULSIのプロセス・デバイスシミュレーション技術の研究開発に従事。平成9年米国スタンフォード大学大学院修士課程修了。現在、株式会社ルネサステクノロジ生産本部ウエハプロセス技術統括部勤務。博士(工学)。日本応用物理学会会員。



渡邊 哲也

昭和 61 年立命館大学理工学部電気工学科卒業。同年三菱電機(株)入社。以来、高速マイクロプロセッサ LSI、および SoC の研究開発に従事。現在、株式会社ルネサステクノ

ロジ製品技術本部設計技術統括部勤務。



白田 光利

平成 11 年室蘭工業大学工学部電気電子工学科卒業。平成 13 年同大学大学院博士前期課程修了。同年三菱電機(株)入社。以来、LSI の物理検証技術の研究開発に従事。現在、

株式会社ルネサステクノロジ製品技術本部設計技術統括部勤務。



味岡 佳英

昭和 56 年宇都宮大学工学部情報工学科卒業。昭和 58 年同大学大学院修士課程修了。同年三菱電機(株)入社。以来、LSI の物理設計・検証技術の研究開発に従事。現在、株式

会社ルネサステクノロジ製品技術本部設計技術統括部勤務。



石川 清志

昭和 55 年大阪大学理学部物理学科卒業。昭和 57 年同大学大学院修士課程修了。昭和 62 年同大学院博士課程修了。平成 3 年三菱電機(株)入社。以来、ULSI のデバイスシミュ

レーション技術の研究開発に従事。現在、株式会社ルネサステクノロジ生産本部ウエハプロセス技術統括部勤務。理学博士。日本応用物理学会会員。



寺井 正幸(正会員)

昭和 51 年大阪大学工学部電子工学科卒業。昭和 53 年同大学大学院修士課程修了。同年三菱電機(株)入社。以来、LSI の自動レイアウト技術、物理設計技術の研究開発に従事。現在、株式会社ルネサステクノロジ製品技術本部

勤務。工学博士。電子情報通信学会会員。