

マイクロアーキテクチャの異なるプロセッサの性能比較

松村 貴之[†] 坂口 嘉一[†] 吉瀬 謙二[†]
 東京工業大学大学院情報理工学研究科[†]

1 はじめに

マイクロアーキテクチャの評価にはソフトウェアによるシミュレータがよく用いられる。シミュレータでは1クロックに対する性能指標であるIPC(Instruction per cycle)を測定することはできるが、その動作周波数を正確に評価することはできない。そのため、IPCをもってアーキテクチャの評価とすることが多い。

しかし、プロセッサ本来の性能指標の一つであるMIPS(Million instructions per second)値はIPCと動作周波数の積で求められるため、IPCだけではプロセッサの性能を評価することはできない。実際のハードウェアのプロセッサには配線遅延やゲート遅延が存在するので、プロセッサはアーキテクチャごとに異なるクリティカルパスによって動作速度すなわち周波数が制限される。つまり、アーキテクチャの性能を評価するためにはシミュレータだけでは不十分であり、実際にハードウェアに実装する必要があるといえる。

そこで本稿では、FPGA上にシングルサイクル、スカラパイプライン、2way インオーダスーパースカラ、2wayカスケードALUアーキテクチャのプロセッサを実装し、配線遅延なども考慮した性能を評価する。

2 シングルサイクル、パイプラインプロセッサ

我々は、命令セットとしてMIPS32のサブセットをもつソフトプロセッサであるMipsCoreを開発している[1]。MipsCoreはマルチサイクルの非パイプラインプロセッサである。本稿で実装するプロセッサは全てMipsCoreをベースにしている。

シングルサイクルプロセッサのブロック図を図1に示す。キャッシュを読み出すタイミングを設定するために、クロック信号としてCLKと90°位相を遅らせたCLK90を用いている。このシングルサイクル版をもとに5段(IF, ID, EX, MA, WBステージ)スカラパイプラインプロセッサを実装した。

3 インオーダスーパースカラ

プロセッサのさらなる高速化手法としてパイプラインのスーパースカラ化がある。今回実装したスーパースカラプロセッサのパイプラインを図2に示す。

Performance comparison of processors with different micro architectures.

Takayuki MATSUMURA, Yoshito SAKAGUCHI and Kenji KISE

[†] Graduate School of Information Science and Engineering, Tokyo Institute of Technology

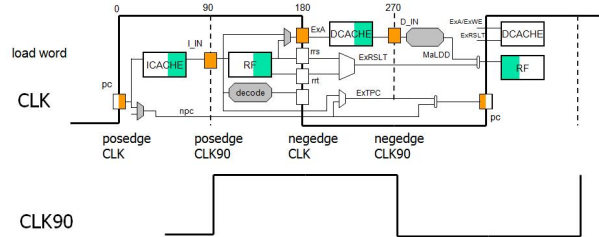


図 1: シングルサイクルプロセッサのブロック図

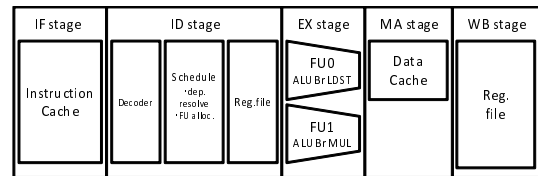


図 2: 2way インオーダスーパースカラのパイプライン

IDステージで命令のデコードと同時にスケジューリングを行い、命令の種類によってどちらのEXステージに割り当てるかを決定する。同時にフェッチした命令に依存関係がある場合には先行する1命令のみを実行し、後続の命令はIDステージでストールする。

4 カスケードALUアーキテクチャ

カスケードALUアーキテクチャ[2]とは上野らによって提案された、複数のALU間でさまざまな接続関係を可能にしたアーキテクチャである。2wayカスケードALUの実行ステージを図3に示す。Inst1はInst2よりも先行する命令であるが、2つの命令間にデータ依存があっても同時に実行することができる。

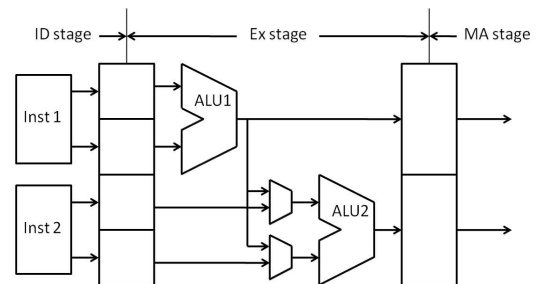


図 3: 2way カスケードALUアーキテクチャの実行ステージ

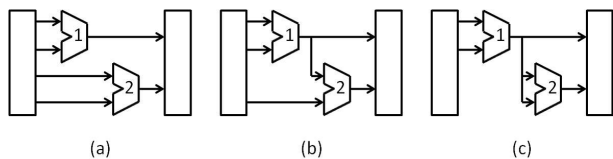


図 4: 2way カスケード ALU で可能な接続関係

2 命令間にデータ依存がない場合，図 4(a) のように 2 つの ALU は独立して処理を行う．後続の命令が先行する命令に依存する場合，依存関係によって ALU2 の入力を図 4(b)，(c) のように切り替えることで処理を行う．

カスケード ALU はインオーダースーパースカラに比べて 2 命令同時に実行できる場合が多いので，効率的に ALU を使用することができる．しかしデータが通過するゲート数が増えるので実行ステージのクリティカルパスが長くなる．そのため，カスケード ALU は way 数が増加するにつれて動作周波数が低下する．

5 性能評価

以上に述べたアーキテクチャのプロセッサを Verilog HDL を用いて FPGA(Xilinx Spartan-6 XC6SLX16 FTG256) 上にプロセッサを実装する．論理合成には ISE12.3 webpack を，ベンチマークアプリケーションとして dhrystone2.1 を用いる．IPC は DMIPS/動作周波数で求める．

プロセッサのパラメータを表 1，評価結果を図 5，6 に示す．シングルサイクルプロセッサは動作周波数は低いが，分岐ミスなどによるデータパスのフラッシュが起こらないため，パイプラインプロセッサよりも IPC が大きいという結果になった．IPC が 1 にならないのはキャッシュミスによるストールのためである．

カスケード ALU の動作周波数はスカラパイプラインのそれよりも低くなると予想したが，実際には同じであった．これは，スカラパイプラインのクリティカルパスが MA ステージにあり，EX ステージの遅延はそれに比べて短かったためである．2way カスケード ALU にすることで EX ステージの遅延が大きくなるが，それでも MA ステージの遅延をわずかに超える程度であったため，動作周波数の低下には至らなかった．

表 1: 評価に用いたプロセッサのパラメータ

Pipeline	IF, ID, EX, MA, WB
Functional Units	2intALUs, 1Multiplier, 1LD/ST
Branch prediction	always untaken
I-cache, D-cache	4KB direct map

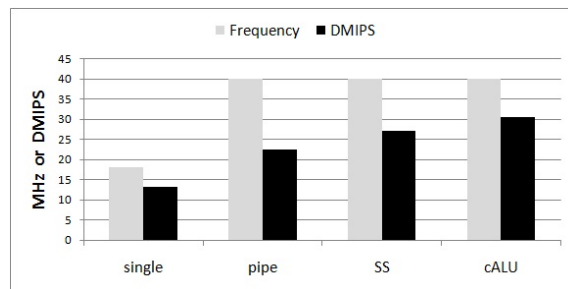


図 5: 実装したプロセッサの動作周波数と DMIPS 値

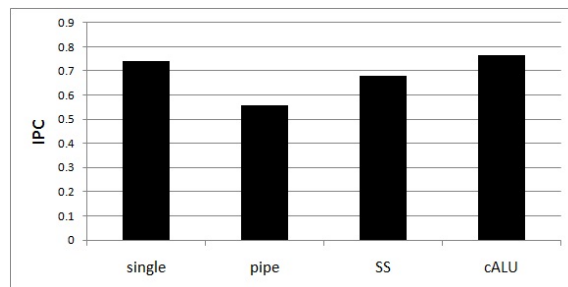


図 6: 実装したプロセッサの IPC

6 まとめ

Verilog HDL を用いてプロセッサを FPGA 上に実装し，その性能を比較検証した．

プロセッサの評価として IPC が用いられることがあるが，実際にはアーキテクチャごとに動作周波数が異なる．そのため IPC はシングルサイクルのほうがパイプラインよりも高い値であったが MIPS 値では逆転するという結果が得られた．

カスケード ALU は非同期式プロセッサに適したアーキテクチャであり，[2] では「カスケード ALU アーキテクチャは同期式プロセッサにも適用できるが，(中略) 本来の性能を發揮できない」と述べられている．しかし検証の結果，EX ステージの遅延が他のステージの遅延に比べて小さければ，同期式プロセッサにおいてもカスケード ALU は高速化のために有効なアーキテクチャであることが確認できた．

謝辞

本研究の一部は，科学技術振興機構・戦略的創造研究推進事業 (CREST) 「アーキテクチャと形式的検証の協調による超ディペンダブル VLSI」の支援による．

参考文献

[1] 藤枝他．教育・研究に有用な MIPS システムシミュレータ SimMips．情報処理学会論文誌，Vol.50, No.11, pp.2665-2676, November 2009

[2] 上野他．非同期式カスケード ALU アーキテクチャ．電子情報通信学会技術研究報告 コンピュータシステム，Vol.98(No.25), pp.61-68, April 1998