

メニーコアプロセッサの空間冗長性を利用する TMR の提案

佐藤 真平^{†‡}

吉瀬 謙二[†]

東京工業大学 大学院情報理工学研究科[†]

日本学術振興会 特別研究員 DC2[‡]

1 はじめに

LSI の一層の微細化により、ソフトエラー率およびばらつきが増加し、信頼性の低下が深刻化している [1]。マルチコアやメニーコアプロセッサにおいては、プロセスの微細化と共に集積するトランジスタ数が増加するため、ソフトエラー率のさらなる増加が懸念される。同時に、電源、温度の不均一などに起因するチップ内のランダムなばらつきが信頼性の低下を招いている [2]。

我々はメニーコアプロセッサの空間冗長性を利用し、NoC(Network on Chip) ルータを高機能化することで複数コアの多重実行をサポートし、信頼性もしくは性能の向上を達成する SmartCore システムという枠組みを提案している [3]。文献 [3] では、信頼性向上を目的として 2 コアを利用した DMR(Dual Modular Redundancy) を実現する手法を提案している。本稿では、この仕組みを拡張し 3 コアを利用した TMR(Triple Modular Redundancy) を実現する SmartCore システムを提案する。

2 メニーコアアーキテクチャのモデル

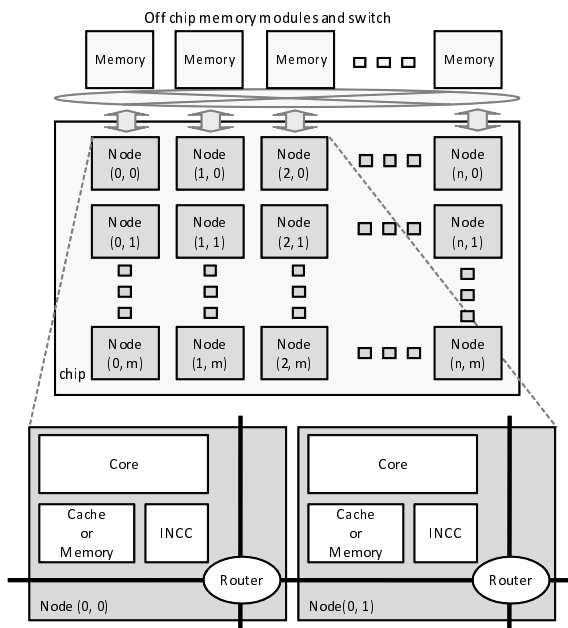


図 1: メニーコアプロセッサアーキテクチャのモデル。

図 1 に想定するメニーコアアーキテクチャを示す。想定するメニーコアアーキテクチャは多数のノードをタイル上に配置する。各ノードは、コア、キャッシュもしくはスクラッチパッドメモリ、INCC (Inter Node Communication

A Proposal of TMR on Many-core Processors

Shimpei SATO^{† ‡}, and Kenji KISE[†]

[†]Graduate School of Information Science and Engineering, Tokyo Institute of Technology

[‡]JSPS Research Fellow DC2

Controller), ルータで構成される。チップ外のメインメモリは複数のバンクに分けられ、チップ上にあるいくつかのコントローラによって接続する。

各ノードは 2 次元メッシュにより接続される。各ノードには X 座標と Y 座標の組み合わせで表現するノード ID を割り当てる。これは、ノード間で通信する際に指定する。ノード ID は各ノードに割り当てられる物理的な ID と、アプリケーションが知る仮想的な ID があり、仮想と物理の変換は INCC によっておこなわれる。ノード間およびチップ外のメインメモリとのデータ送受信は DMA によりおこなわれる。

3 SmartCore システムによる TMR

SmartCore システムは、メニーコアプロセッサの空間冗長性を利用し、NoC(Network on Chip) ルータを高機能化することで複数コアの多重実行をサポートし、信頼性もしくは性能の向上を達成する枠組みである。文献 [3] において提案している DMR を実現する高機能ルータでは、2 つのコアによる冗長実行を維持するために、ルータでパケットを複製し同じパケットをそれぞれのコアに送信する。また、2 つのコアから送信されるパケットを比較し、パケットレベルでエラー検出をおこなう。ルータにパケットを操作する仕組みを追加し、プロセッサの他の要素を変更することなく DMR を実現している。本稿では、この仕組みを拡張し 3 コアを利用した TMR(Triple Modular Redundancy) を実現する SmartCore システムを提案する。

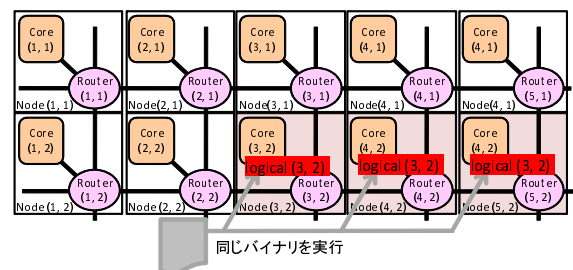


図 2: SmartCore システムによる TMR の概要。

図 2 を用いて、SmartCore システムを利用した TMR の概要を述べる。ここでは、Node(3, 2), Node(4, 2), Node(5, 2) の 3 ノードを冗長実行のために割り当てる。これらのノードに同じ実行ファイルをロードし、仮想 ID を Node(3, 2) に設定する。これにより、それぞれのノードが同じパケットを受信していればプログラムの振る舞いは等しいものになる。プログラムの振る舞いが等しければ、これらのノードは同じパケットを送信する。3 つのノードから送信されるパケットを高機能ルータで多数決することで TMR を実現する。

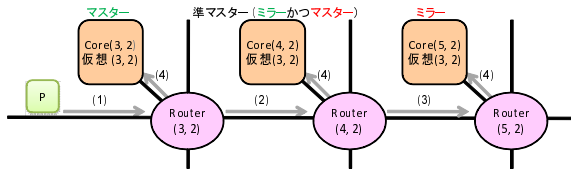


図 3: 3つのノードが同じパケットを受信する仕組み。

図 3 を用いて、3つのノードが同じパケットを受信する仕組みを述べる。文献 [3] において、DMR を実現するために2つのノードをマスターとミラーに区別し、マスターのルータが受信パケットを複製しミラーに送信する仕組みを提案した。3つのノードが同じパケットを受信するために、新たに準マスターというノードを設ける。このノードはマスターとミラー両方の役割をもつ。図 3 の場合では、Node(3, 2) と Node(4, 2) および Node(4, 2) と Node(5, 2) がマスターとミラーに関係にある。Node(4, 2) は、Node(3, 2) のミラーかつ Node(5, 2) のマスターであり、このノードが準マスターとなる。

パケット受信の流れを述べる。まず、Node(3, 2) のルータに自ノード宛のパケットが届く (図 3 (1))。Node(3, 2) はマスターなので、ルータはパケットを複製しミラーである Node(4, 2) に送信する (図 3 (2))。Node(4, 2) はマスターなので、ルータは Node(3, 2) から送信された自ノード宛のパケットを複製し、Node(5, 2) に送信する (図 3 (3))。各ノードのコアが同じパケットを受信する (図 3 (4))。

3つのノードが同じパケットを受信する方法として、それぞれのノードを独立して動作させ、それぞれがアプリケーションにより指定された通信相手とデータの送受信をおこなう方法が考えられる。この場合、並列実行されるすべてのノードについて3重冗長化をする必要があり、多重化のレベルを選択できるという SmartCore システムの柔軟性が失われる。また、1つのマスターが2つのミラーに対して複製を2回おこなう方法が考えられる。この方法は、DMR を実現する高機能ルータからの変更点が多くなるため、先に述べた方法を選択している。

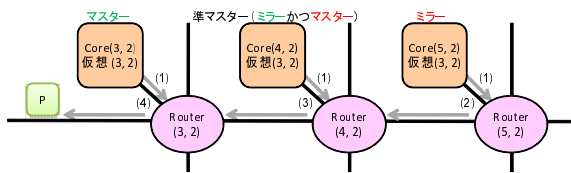


図 4: 3つのノードが送信するパケットを比較し多数決を実現する仕組み。

図 4 を用いて、3つのノードが送信するパケットを比較し、多数決する仕組みを述べる。文献 [3] において、DMR を実現するために2つのノードが送信するパケットをマスターのルータにおいて比較しエラー検出をおこなう仕組みを提案した。TMR の場合は、まず準マスターで2つのパケット比較を行う、次にマスターのルータで2つのパケット比較と準マスターでの比較の結果から送信するパケットを決定する。単一故障を想定し、ルータ内のパケット比較に関わる箇所に故障が発生しないことを仮定すると、2つのパケット比較を2度おこなうこと

で多数決を実現できる。

パケット送信の流れを述べる。各コアからパケットが送信される (図 4 (1))。Node(5, 2) はミラーなので、ルータはパケットの送信先をマスターである Node(4, 2) に変更し送信する (図 4 (2))。Node(4, 2) は準マスターなので、ルータは Node(5, 2) と自ノードのコアからのパケットを待ち合わせ、比較する。また、パケットの送信先を Node(3, 2) に変更し、比較結果をパケットに付加し送信する (図 4 (3))。Node(3, 2) はマスターなので、ルータは Node(4, 2) と自ノードのコアからのパケットを待ち合わせ、比較する。準マスターにおける比較結果を考慮し、正しいパケットを送信する (図 4 (4))。

表 1: 2回のパケット比較結果から判明する故障箇所とマスターのノードが送信すべき正しいパケット

Node(4, 2) の比較結果	Node(3, 2) の比較結果	故障箇所	正しいパケット
OK	OK	なし	両方
OK	NG	Node(3, 2)	Node(4, 2)
NG	OK	Node(5, 2)	両方
NG	NG	Node(4, 2)	Node(3, 2)

Node(4, 2)(準マスター)のルータは自ノードから送信するパケットにミラーから送信されたパケットとの比較結果を付加し Node(3, 2)(マスター)に送信する。表 1 に、Node(4, 2) における比較結果と Node(3, 2) における比較結果から判明する故障箇所および Node(3, 2) が送信すべき正しいパケットの送信元をまとめる。この表のように、マスターのルータは準マスターから送信されたパケットと2回の比較結果から常に正しいパケットを送信することができる。

4 まとめと今後の課題

メニーコアプロセッサの信頼性向上を目的として、これまでに提案してきた DMR を実現する SmartCore システムを拡張し、TMR を実現する手法を提案した。今後の課題として、ソフトウェアシミュレータに実装し評価をおこなう、故障箇所が判明した後の処理について検討する、などが挙げられる。

謝辞

本研究の一部は、科学技術振興機構・戦略的創造研究推進事業 (CREST) 「アーキテクチャと形式的検証の協調による超ディペンダブル VLSI」の支援による。

参考文献

- [1] 佐藤寿倫, 他. 舟木敏正: マルチコアプロセッサのための電力・性能間トレードオフを考慮したディペンダビリティ選択法, 情報処理学会論文誌, Vol.49, No.6, pp.2005.2015(2008).
- [2] 入江英嗣, 他. 動的タイミング・エラー検出のための「書き込み保証バッファ」の評価, 情報処理学会研究報告, ARC-173
- [3] 佐藤真平, 他. SmartCore システムによるメニーコアプロセッサの信頼性向上手法, 情報処理学会研究報告, ARC-187.