

TSV ベース 3D-IC のシグナルインテグリティ解析

小林 徹哉[†] 星 誠[‡] 渡邊 眞之[‡] 黒川 敦[‡]

[†]弘前大学 理工学部 電子情報工学科

[‡]弘前大学 大学院 理工学研究科

1. はじめに

シリコン貫通ビア (TSV) を用いた三次元集積回路 (3D-IC) はシステムの小型化として、近年脚光を浴びている[1-3]。TSV ベース 3D-IC は従来の単層チップと異なり、特殊な加工を要することから、半導体パッケージング及び製造技術の進歩に依存する部分が多い。しかし、3D 構造を活用した高品質な設計を行うには、TSV 配線の電気特性を十分把握する必要がある。

本論文では、TSV の抵抗 (R)、インダクタンス (L)、容量 (C) に着目し、TSV の半径、酸化膜厚、積層数 (高さ) 及びドライバビリティ等に依るシグナルインテグリティを解析し、TSV ベース積層チップの信号伝搬遅延及び同時スイッチングによる誘導性・容量性クロストークノイズを明らかにする。

2. TSV モデル

TSV の RLC モデル及び解析に用いたパラメータの条件を記述する。図 1(a)は 2 本の TSV 構造を、図 1(b)はそれに等価な回路を示す。酸化膜容量 C_{ox} と空乏層容量 C_{dep} 、基板抵抗 R_{Si} 、そして TSV の抵抗 R_{TSV} は、以下の式から計算する[1-3]。

$$C_{ox} = \frac{2\pi\epsilon_{ox}h}{\ln\left(\frac{r+t_{ox}}{r}\right)} \quad (1)$$

$$C_{dep} = \frac{2\pi\epsilon_{Si}h}{\ln\left(\frac{r+t_{ox}+t_{dep}}{r+t_{ox}}\right)} \quad (2)$$

$$t_{dep} \approx \sqrt{\frac{4\pi\epsilon_{Si}kT}{q^2N_a} \ln\left(\frac{N_a}{n_i}\right)} \quad (3)$$

$$R_{Si} = \frac{\rho_{Si}\epsilon_{Si}}{C_{Si}} \quad (4)$$

$$R_{TSV} = \frac{\rho_{TSV}h}{\pi r^2} \quad (5)$$

但し、(3)において、絶対温度 $T=300$ (K)、ボルツマン定数 $k=1.38 \times 10^{-23}$ (J/K)、電荷 $q=1.602 \times 10^{-19}$ (C)、真性半導体濃度 $n_i=1.08 \times 10^{10}$ (cm^{-3})、アクセプタ濃度 $N_a=1.25 \times 10^{15}$ (cm^{-3})を用いた。基板間容量 C_{Si} と TSV の自己インダクタンス L_{TSV} 及び相互インダクタンス M_{TSV} は電磁界解析[5]より求めた。解析に用いたパラメータの範囲を表 1 に示す。

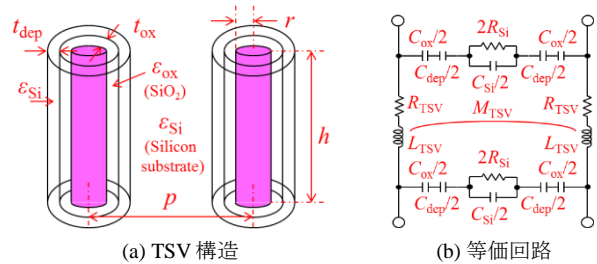


図 1 TSV モデル

表 1 TSV に関するパラメータの範囲

Description	Parameter	Value
Total height of TSVs (μm)	h	10 - 1000
TSV radius (μm)	r	0.1 - 2.5
Oxide thickness (μm)	t_{ox}	0.01 - 1.0
Depletion thickness (μm)	t_{dep}	0.8
Pitch (μm)	p	10
Oxide relative permittivity	$\epsilon_{ox,r}$	3.9
Silicon relative permittivity	$\epsilon_{Si,r}$	11.9
TSV resistivity ($\text{n}\Omega\cdot\text{m}$)	ρ_{TSV}	16.8
P-type substrate resistivity ($\Omega\cdot\text{cm}$)	ρ_{Si}	10

3. シグナルインテグリティ解析

回路シミュレータを用いて伝搬遅延時間とクロストークノイズを解析する。トランジスタモデルは 22nm テクノロジーのローパワー版[6] (電源電圧 0.95V) を用いる。本解析では、TSV ベース 3D-IC の信号特性を簡明に示すために、TSV 形成方法 (Via-Fast/Middle/Last) による形状、マイクロバンプやトップメタル及びチップ内配線の RLC、それらの構造及び材質の変動、温度や周波数効果は考慮しない。また、チップ積層による縦方向配線長の増加は TSV の高さで代用する。

TSV の配置は、図 2(a)に示すように 5×5 (四隅は電流帰還経路) を基本とする。同時スイッチングノイズの解析モデル[4]を参考に、TSV の RLC 等価回路と送受信端にドライバとレシーバを接続した図 2(b)の回路を解析に用いる。

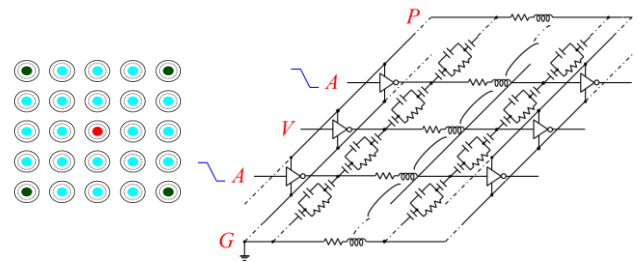


図 2 解析に用いた回路

3.1 TSV の RLC

TSV の基本構造は高さ $h=100\mu\text{m}$ 、半径 $r=2.5\mu\text{m}$ 、酸化膜厚 $t_{\text{ox}}=0.2\mu\text{m}$ 、空乏層厚 $t_{\text{dep}}=0.8\mu\text{m}$ 、ピッチ $p=10\mu\text{m}$ とし、図 2(a)における中央の TSV 及び最隣接 TSV 間の RLC を求めた結果を表 2 に示す。

表 2 基本構造の RLC 解析結果

Description	Parameter	Value
TSV resistance (mΩ)	R_{TSV}	27.2
TSV self-loop-inductance (pH)	L_{TSV}	28.3
TSV mutual-inductance coefficient	k_{TSV}	0.47
Oxide capacitance (fF)	C_{ox}	282
Depletion capacitance (fF)	C_{dep}	256
Silicon capacitance (fF)	C_{Si}	6.27
Silicon resistance (kΩ)	R_{Si}	1.68

3.2 伝搬遅延時間

初めにクロストークが生じない条件下で、信号の伝搬遅延を解析する。図 2(a)の中央を信号線とし、他の TSV はグラウンド線とする。等価回路は図 2(b)において A の箇所が G と同じになる。V には立ち下がり波形 ($T_f=10\text{ps}$) を入力する。遅延は入力から次段の入力までである。入力側のインバータのドライバビリティは $\times 128$ 、出力側は $\times 1$ を基本とする。ここで $\times 1$ の pMOS と nMOS のチャンネル長 L と幅 W は、 $W_{p,1}=1.5 \times W_{n,1}=6 \times L(=0.22\mu\text{m})$ である。

図 3 に TSV の高さ と遅延の関係を示す。例えば、1mm で 100ps 以内にするには $\times 256$ 以上が必要であることがわかる。図 4 はドライバビリティの違いによる遅延への影響である ($h=100\mu\text{m}$)。図 5 は酸化膜厚の違いによる遅延を示す。その影響はドライバビリティが低いと顕著になる。図 6 は TSV 半径による遅延への影響を示す。

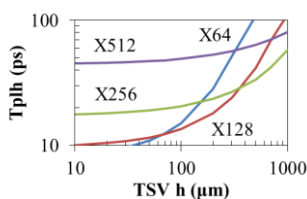


図 3 TSV 高さ と遅延

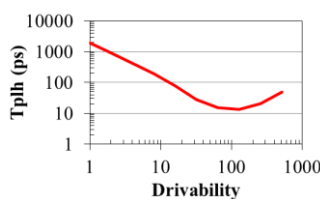


図 4 ドライバビリティ と遅延

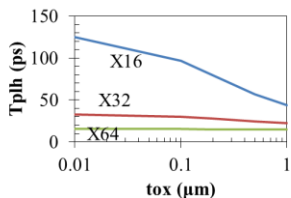


図 5 TSV 酸化膜厚 と遅延

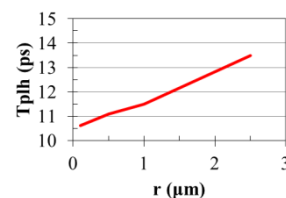


図 6 TSV 半径 と遅延

3.3 クロストークノイズ

信号線が同時にスイッチングしたときのビクティムへのクロストークノイズを解析する。図 2(a)の中央をビクティムとし、 5×5 の四隅をグラウンドとし、その他をアグレッサとする。図 2(b)

の V にはハイを入力し、周囲の信号の A の入力と同時に立ち下がることを仮定する。図 7 にビクティムの波形を例示する ($@A=\times 128$)。図 8 に誘導性クロストークの影響を示す ($@A=V=\times 256, h=1\text{mm}$)。図 9 に TSV の高さ とノイズの関係を示す ($@A=V$)。図 10 にビクティムのドライバビリティとノイズの関係を示す ($@A=\times 128$)。図 11 に TSV 半径 とノイズの関係を示す。図 12 に入力スルーとノイズとの関係を示す ($@A=V=\times 128$)。

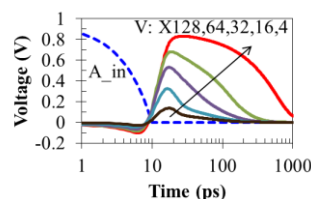


図 7 ビクティムの波形

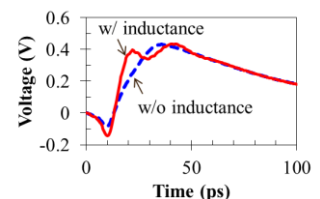


図 8 インダクタンスの有無

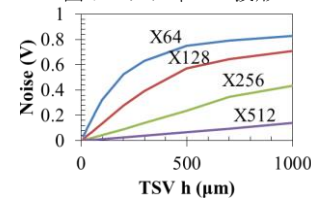


図 9 TSV 高さ とノイズ

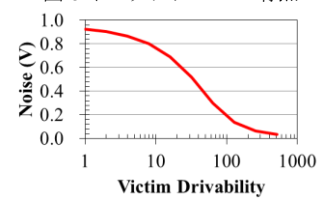


図 10 ドライバビリティとノイズ

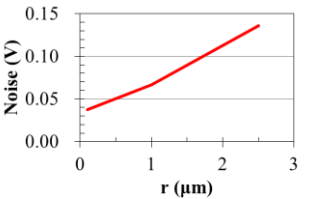


図 11 TSV 半径 とノイズ

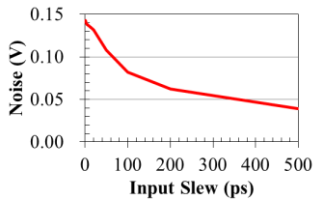


図 12 入力スルーとノイズ

4. まとめ

TSV ベース 3D-IC の信号伝搬に関して、各種パラメータ起因の遅延とクロストークノイズの影響を示した。本解析に使用した条件では、例えば、 $300\mu\text{m}$ ($50\mu\text{m}/\text{chip}$ なら 6 チップ積層) の伝送であれば $\times 64$ で 50ps 程度の遅延となる。また、隣接にグラウンドを配置しない場合は、同時スイッチングした際にクロストークの影響によりビクティムの電位を反転させる可能性がある。

参考文献

- [1] G. Katti, B. Leuven, M. Stucchi, K.de Meyer, and M. Dehaene, "Electrical modeling and characterization of through silicon via for three-dimensional ICs," IEEE Trans. Electron Devices, vol.57, no.1, pp.256-262, Jan. 2010.
- [2] C. Xu, H. Li, R. Suaya, and K. Banerjee, "Compact AC modeling and performance analysis of through-silicon vias in 3-D ICs," IEEE Trans. Electron Devices, vol.57, no.12, pp.3405-3417, Dec. 2010.
- [3] A.E. Engin and S.R. Narasimhan, "Modeling of crosstalk in through silicon vias," IEEE Trans. Electromagn. Compat., vol.55, no.1, pp.149-158, Feb. 2013.
- [4] C. Huang, Y. Yaochao, and J.L. Prince, "A simultaneous switching noise design algorithm for leadframe packages with or without ground plane," IEEE Trans. Compon., Packag., Manuf. Technol. B, vol.19, no.1, pp.15-22, Feb. 1996.
- [5] Raphael Ver. E-2010.12, Synopsys, Inc.
- [6] Predictive Technology Model (PTM), [Online]. Available: <http://ptm.asu.edu/>