

## DDR4 SO-DIMM

塚田 和良<sup>†</sup>

(株)バッファロー 技術渉外課<sup>†</sup>

### 1. DDR4 SDRAM

DDR4(Double Data Rate 4)DRAMは、JEDEC(Joint Electron Device Engineering Council)が標準化した次世代汎用SDRAMである。現在パソコンなど一般に使われているDDR3の基本データ転送速度が、ピン当たり最高1600Mbpsなのに対し、DDR4は1600Mbpsから始まり3200Mbpsをターゲットにしている。電源電圧は、DDR3は標準1.5Vに対し、DDR4は標準1.2Vで、DDR3より高速で低消費電力という特性を持っている。

### 2. DDR4 メモリーモジュール

DDR3では、デスクトップPCやサーバー用に1mmピッチ240ピンのDIMM(Dual Inline Memory Module、幅133.35mm)とノートPC用の0.6mmピッチ204ピンのSO-DIMM(Small Outline - Dual Inline Memory Module、幅67.6mm)のフォームファクタが使われてきた。DDR4も同様のフォームファクタを持つが、より高速化に対応するためコネクタ部のデータ信号数とグランド信号数の比がDDR3では2:1であったのに対し、DDR4では1:1としており総ピン数は増え、より狭いピンピッチの採用、SO-DIMMでは加えてモジュール幅を2mm拡大している。

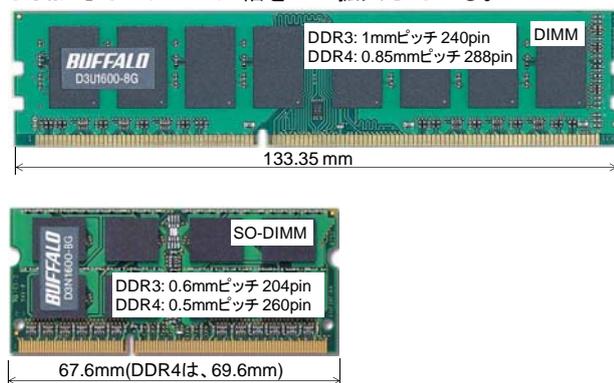


Fig-1: 代表的なメモリーモジュール・フォームファクター

### 3. DDR4 メモリーモジュールの標準化

メモリシステムは、メモリコントローラとメモリーモジュールおよび伝送路で構成され、全体がある仕様内に納まらないと動作しない。メモリコントローラ(CPU, Chipset)と伝送路は半導体メーカーや機器メーカーが差別化を図りたい分野であり標準化は困難である。JEDECでは、CPU/コントローラメーカー、PCメーカー、バッファローのようなサードパーティなどが集まり、メモリーモジュールを標準化しており、これをReference Moduleと呼んでいる。PCメーカーなどは、この標準化に参画しReference Moduleに対応した自社の製品を設計する。

#### DDR4 SO-DIMM

Kazuyoshi Tsukada<sup>†</sup>

<sup>†</sup>Technology Liaison office, Buffalo Inc.  
JEDEC JC45.3 Chairman

パソコンが大量安価に普及した一因は、このReference Moduleの存在である。バッファローは、標準化の実務を担当するTask Groupおよび規格策定を行うJEDEC委員会のチェアマンを務めている。

### 4. DDR4 SO-DIMM

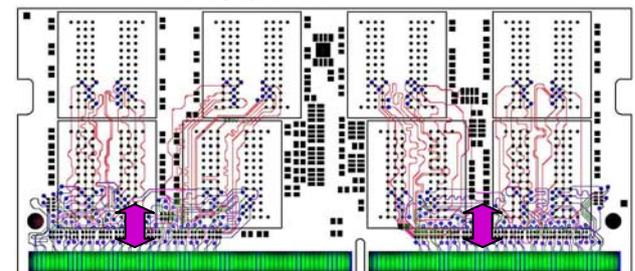
メモリーモジュールは、PCのメモリー容量をフレキシブルに増減(ユーザー側では、一般に増設)するのに使うので容量(=搭載DRAM数)の違う複数の機種が必要になる。またDRAMの品種も10数(4/8/16 bitsなど)や、ダイの構成が異なったものがあるので、これに対しても複数の機種が必要になる。JEDECでは、これらを参加会社が手分けして開発している。以下では、バッファローが担当して開発中のDDR4 Single Sided SO-DIMM x8 1R 3DS/DDP supportを例に説明する。

### 5. 信号の種類

メモリーモジュール基板には複数のDRAMが搭載され、それらとカードエッジ間の接続方法および配線長が規格化されている。信号は以下のグループに分類できる。

#### 5-1. データ(DQ, DQS, DM)

データ信号DQは、そのモジュールの転送速度を代表する最速の信号でクロックの立ち上りと立ち下がりに同期してデータ転送がおこなわれる。さらにタイミング微調整用のData Strobe(DQS、差動信号)および書込マスク用のData Mask(DM)も使われる。



データはカードエッジから各DRAMへ最短で接続される。同じバス上に他のモジュールなどの負荷が存在する場合に反射の影響を軽減するため直列抵抗が挿入されている。

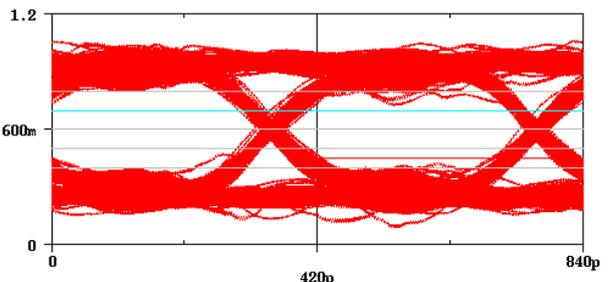


Fig-2: データ信号配線とシミュレーション波形例

#### 5-2. クロック

クロックはシステム側から供給されるディファレンシャルの連続信号である。

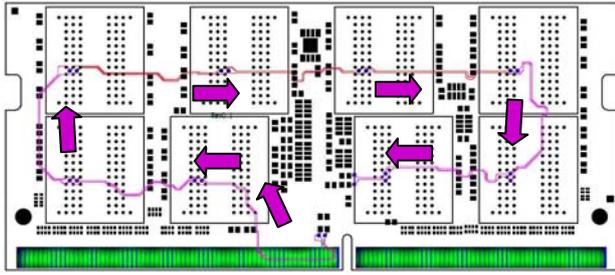
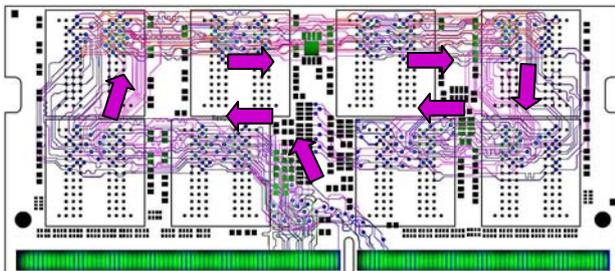


Fig-3: クロック信号配線例

クロックは、各 DRAM をデジチェーンでつなぎ基板上で終端されている。

5-3. アドレス、コマンド

DRAM メモリアレイ中のアドレスや書込/読出などモードを指定する信号である。



最高周波数がクロックの 1/2 または 1/4 のランダム信号であるが、複数負荷のスタブの影響で SI が悪化しやすい。

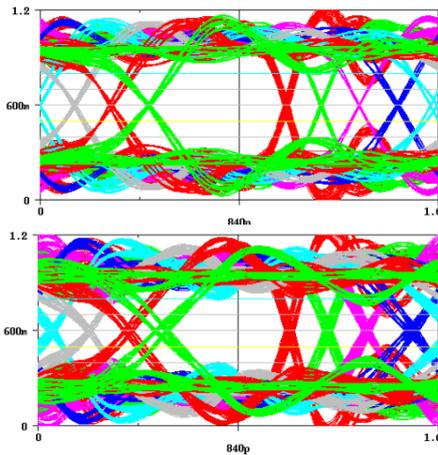
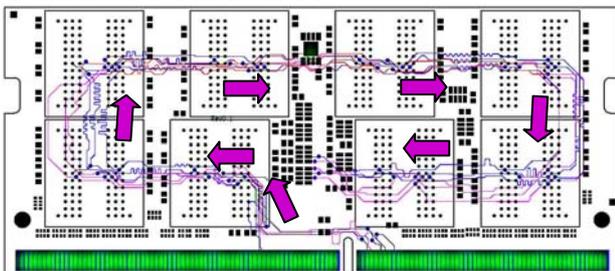


Fig-4: アドレス、コマンド信号配線とシミュレーション波形例

上: スタブ 1.0mm  
下: スタブ 5.0mm

5-4. コントロール

DRAM の動作を有効にしたり内部 DQ 終端抵抗値を高速で切り替えたりする信号である。



コントロール信号は、アドレス、コマンドと似ているが各クロックの立ち上がり時に安定している必要がある。

Fig-5: コントロール信号配線例

5-5. RESET

DRAM を初期化するための低速の信号である。DRAM の安定動作のため DDR3 から追加された。

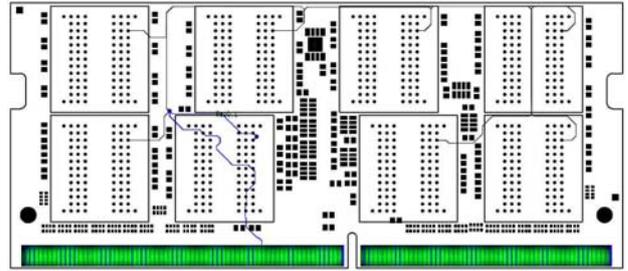
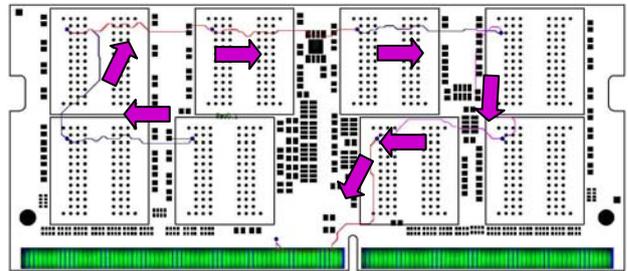


Fig-6: RESET 信号配線例

5-6. ALERT

DDR4 ではデータ、アドレスの誤り検出機能(ECC)があり DRAM がエラーを検出したら、この信号でシステムに知らせる。



ALERT は、クロック、アドレス、コマンド、コントロールとは逆向きでシステムに接続される。

Fig-7: ALERT 信号配線例

5-7. SPD

モジュール仕様格納 SPD (EEPROM) を読むための低速信号

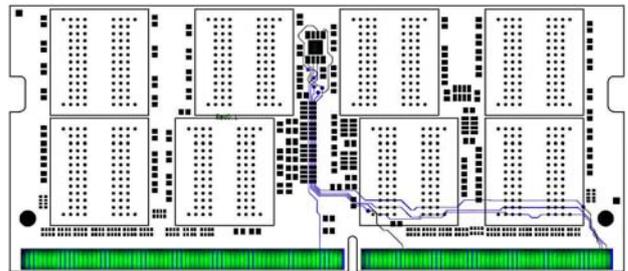


Fig-8: SPD 信号

5-8. 電源系

DDR4 では、VCC、GND のほか終端用の VTT、DRAM 内部の昇圧回路に供給する VPP などの電源を接続、供給する必要がある。高速信号は、各信号グループにつきターン経路がシステム側からモジュールまで連続になるよう考慮されている。

6. 製品への採用時期

2014 年後半頃、DDR4 の低消費電力を生かせるサーバー系から採用が始まる見込である。現在、DDR4 のさらに次世代となる汎用 DRAM 標準化の動きは無い。

以上