

PLLの物理レイアウト自動生成を目指した設計手法

釜江 典裕¹, 土谷 亮¹, 石原 亨¹, 小野寺 秀俊¹

¹ 京都大学大学院情報学研究科 通信情報システム専攻.

{kamae,tsuchiya,ishihara,onodera}@vlsi.kuee.kyoto-u.ac.jp

和文抄録

本稿では、要求仕様に応じて最適なPLLを設計するため、PLLの物理レイアウトの自動設計に関する技術を紹介する。PLLには様々な仕様が要求されるが、設計期間や設計効率の観点から、様々な仕様に対応可能な汎用のPLLを設計することがこれまで盛んに行われてきた。しかし、様々な仕様に1個の設計に対応するよりも、特定の要求仕様毎に回路パラメータを最適化することにより、面積やその他の特性を削減することが見込まれる。回路図から物理レイアウトを設計する段階は、設計者の経験に頼るところが大きく、求められる性能を確保するための制約を与えることが問題であった。本提案では、寄生容量がPLLの重要な性能のひとつであるジッタに及ぼす影響を検討することにより、回路中の各ノード毎に物理レイアウト設計において必要な制約を検討した。ある65nmプロセスにて設計実験を行い、シミュレーションにより評価を行った。

A Design Strategy for Physical Design Automation of PLLs

Norihiro Kamae¹, Akira Tsuchiya¹, Tohru Ishihara¹, Hidetoshi Onodera¹

¹ Kyoto University.

英文抄録

We propose a physical design automation strategy of phase locked loops (PLL). Most PLLs are designed to cover a lot of requirements. On the other hand, it is expected that smaller area and higher performance can be achieved if the PLL is designed for a specific requirement. Automated physical layout method for the PLL is not yet established though schematic level design methodologies of PLLs have already been established. We will show a strategy for automated physical design of the PLLs. In our proposed strategy, constraints for physical layout design was determined by calculating jitter caused by parasitic capacitance. We will demonstrate a design example in a 65nm technology and its simulated results.

1 はじめに

近年、集積回路の高集積化が進んでおり、民生製品に限らず医療や航空など様々な用途に使用されるようになってきている。PLLをはじめとするアナログ回路においても、デジタル回路による補助 [1] などによる高機能化が進んでいる。高機能化が進む中で、回路はますます複雑なものとなっており、コンピュータによる設計支援や設計自動化が求められる。

アナログ回路の設計支援に関する研究が進んでいるが、デジタル回路のそれほどではない。デジタル

ル回路の設計においてはコンピュータによる設計支援が進んでおり、テキスト記述 [2,3] から物理レイアウトを自動設計することができる。アナログ回路設計の初期の段階である回路定数の決定法については、様々な手法が提案されている。ドレイン電流をゲート電圧の多項式することによる設計方法 [4]、トランスコンダクタンスやドレイン電流のシミュレーション結果に基づく設計方法 [5] が挙げられる。また、アナログ・ミクストシグナル回路に要求される仕様に基づいた回路設計支援 [6] も提案されており、要求仕様から回路図やネットリストを生成し定数を決定す

ることができる。ネットリストレベルでの設計の次の段階であるレイアウト設計における設計支援について述べる。パラメタライズドセルを用いた設計方法 [7] は実用化にいたっており、MOSFET のゲート幅やゲート長などのパラメータから素子のレイアウトを自動生成することができる。一方で、生成された素子を組み上げてアナログ・ミクストシグナル回路全体を自動生成する段階は、プロセスの設計規則に基づいてレイアウトを自動生成する研究 [7, 8] も進んでいるが、まだ実用化には至っていない。

デジタル回路で用いられるセルベース設計フローに則ったアナログ・ミクストシグナル回路の設計支援を提案する。デジタル回路用のセルベース設計フローに、アナログ回路用のセルを追加し、アナログ回路の設計を同時に行う。既存のアナログ自動設計ではトランジスタレベルのレイアウト自動設計からのアプローチであったが、セルベース設計では、簡素な遅延セルや増幅器などトランジスタ数個からなるより大きな構成要素をセルとし、デジタル回路設計で用いられるセルベースで自動配置配線するアプローチをとる。この手法には、以下にあげる利点がある。

- プロセスの微細化に伴ってますます複雑化する設計規則のもとであっても実装が容易である。
- デジタル設計に取り込むことができるため、デジタル回路の支援、デジタル回路による支援に適している。

ただし、セルベース設計では予め適切な制約を与えておく必要がある。PLL をはじめとするアナログ・ミクストシグナル回路のレイアウト設計では、十分な性能を得るために、素子の特性マッチング、近接する配線との寄生容量、電源ノイズなどの制約を考慮する必要があり、アナログ・ミクストシグナル回路をセルベース設計する手法は筆者らの知る限り他に提案されていない。本提案では、アナログ・ミクストシグナル回路における制約をセルへの分割方法やセルベース設計で扱うことが可能な制約に変換することにより、求められる性能を確保することを目指す。

本節以降の構成を説明する。2. においてアナログ回路のセルベース設計に関する概要を述べる。3. において PLL のセルベース設計において特に考慮すべき点を説明する。4. において具体的な制約について述べ、実装を紹介し、5. でシミュレーショ

ンによる評価結果を述べる。6. においてまとめを述べる。

2 アナログ回路のセルベース自動設計

デジタル回路の配置配線では、セットアップ時間、ホールド時間、最大負荷容量などの制約があり、これらを満たすことにより求められた性能での動作を期待することができる。一方で、アナログ・ミクストシグナル回路では、マッチングやノイズ、寄生容量などに関する制約が求められる。以下に、セルベース設計において検討すべき制約を述べる。

自動配線による予測が困難な寄生容量

セルベース設計では信号配線に寄生する容量については配線が完了するまで未知である。アナログ回路中において、寄生容量が与える影響が大きいノードを列挙し、それぞれについて適切に制約を与える必要がある。

特性マッチング

アナログ回路では、2個以上の素子に関して、特性が一致することが求められる場合がある。このような素子に関しては、文献 [9] で示した様に、同一のセル内に素子を実装することでマッチング特性を得る。

電源・基板ノイズ

アナログ回路の電源や基板に近傍のデジタル回路によってもたらされるノイズへの対処が必要である。電源除去率 (power supply rejection ratio, PSRR) の高い回路構成が提案 [10] されており、これらの構成を使用することで対処する。基板ノイズについては、基板ノイズに弱い部分の周囲に基板タップを多く配置するなどを行い、電源同様に基板ノイズに強い回路構成を使用する。

3 PLL における高感度ノード

信号配線に寄生する容量が PLL におよぼす影響について検討する。本稿では、しばしば用いられるアナログ回路のひとつである図 1 に示す差動遅延セルで構成された電圧制御発振器 (voltage controlled oscillator, VCO) による PLL について検討する。この PLL

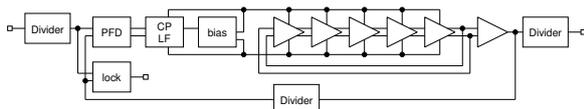


図 1: PLL の回路図

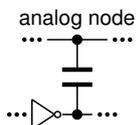


図 2: デジタル配線とのクロストークを検討する回路

は、分周器や位相周波数比較器 (phase frequency detector, PFD) で構成されるデジタル回路とチャージポンプ (CP), ループフィルタ (LF), VCO で構成されるアナログ回路とに大別される。デジタル回路にはタイミングに関する制約を与えることで既存手法により設計が可能であるため、アナログ回路を構成するブロックについて以下で検討する。デジタル回路中の配線との間の寄生容量によりジッタを悪化させるため、ジッタによって評価を行うことができる。

3.1 ループフィルタ

図 3 に示すノード 1, 2 について、デジタルノードとのクロストークの影響を検討する。十分な大きな論理素子によって駆動されているノードと、容量 C_{XT1}, C_{XT2} にて結合しているとする。 C_{XT1}, C_{XT2} を通して V_{ctrl} に重畳される電圧 $V_{ctrl,XT1}, V_{ctrl,XT2}$ は

$$V_{ctrl,XT1} \simeq \frac{C_{XT1}}{C_1 + C_2} V_{DD}$$

$$V_{ctrl,XT2} \simeq \frac{C_{XT2}}{C_2} V_{DD}$$

が見込まれる。 V_{ctrl} に許容されるクロストークから、許容される寄生容量を見積もることができる。 $C_1 = 35 \text{ pF}, C_2 = 3.5 \text{ pF}$ の場合、 $V_{DD} = 0.4 \text{ V}$ にて V_{ctrl} に 1 mV のクロストークを許容すると、

$$C_{XT1} < 96 \text{ fF}$$

$$C_{XT2} < 8.8 \text{ fF}$$

を満たすよう物理設計を行えば良いことがわかる。

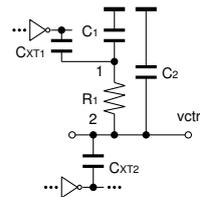


図 3: LF 中のノードとデジタルノードとのクロストークの影響を検討する回路。

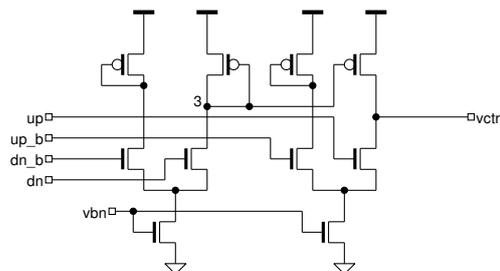


図 4: チャージポンプの回路図

3.2 チャージポンプ

チャージポンプにデジタルノードからクロストークの影響を受けると、その出力である V_{ctrl} に電流が流れ込む。従って、3.1. と同様に検討することができる。

図 4 に示すノード 3 に電荷が注入された場合、カレントミラーによって同量の電荷が V_{ctrl} に注入される。ノード 3 に容量 C_{XT3} にてデジタルノードに結合しているとするとき、3.1. の C_{XT2} と同じ条件である

$$C_{XT3} < 8.8 \text{ fF}$$

を満たす必要がある。その他のノードでは、クロストークの影響は非常に小さい。

3.3 電圧制御発振器

デジタルノードから寄生容量を通して電荷が注入されると、発振周波数の位相がずれる。VCO 中の遅延セルの内 1 段について、出力ノード (out_n) と内部のノード (com) それぞれにデジタルノードからの寄生容量を通してクロストークの影響を受けた場合を過渡解析により検討した。その結果を図 5 に示す。この解析に使用した回路では、位相のずれを周期の 1% 以下に抑えるためには、隣接するデジタルノードとの寄生容量をそれぞれ $0.19 \text{ fF}, 0.21 \text{ fF}$ 以下とする必要があることが分かった。

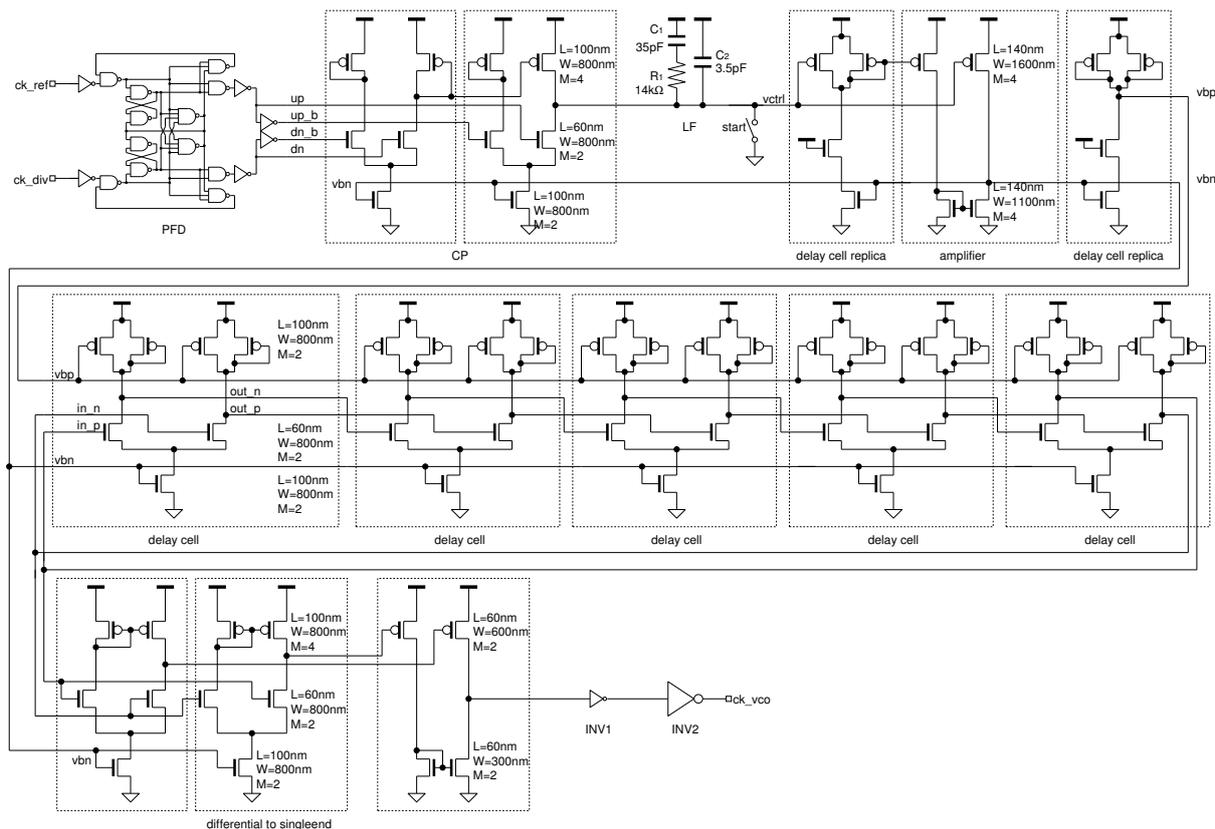


図 6: PLL のアナログ回路図

表 1: PLL の主要特性

プロセス	65nm SOI, $V_{th} = 210 \text{ mV}$
電源電圧	400 mV
発振周波数	100 MHz – 300 MHz
入力周波数	20 MHz
面積	$290 \mu\text{m} \times 240 \mu\text{m}$
消費電力	$26 \mu\text{W} @ f_{VCO} = 200 \text{ MHz}$
用途	デジタル回路へのクロック供給

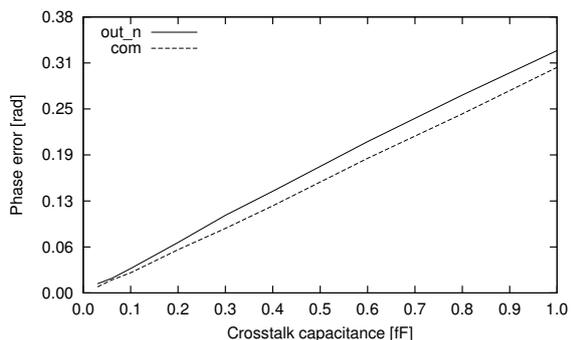


図 5: VCO 中のノードの寄生容量によるクロストークに対する感度

4 レイアウト制約と実装

VCO など寄生 RC やノイズにクリティカルな部分は、座標指定や配置ブロッケージによる強い制約を与える。LF に含まれるノンシリサイド抵抗はセルへの実装が困難なため、マクロとして配置する。信号配線間の寄生容量については、予想される配線長を考慮し、クリアランスルールまたはシールドルールを付加することで、許容値以下とする。

図 1 に PLL の回路図、図 6 に分周器とロック検出器を除いたアナログ部分の回路図を示す。差動対

表 2: PLL のアナログ部分に使用したアナログセル

セル	使用数
容量 (7 fF)	7952
TG (NMOS)	4
TG (PMOS)	4
増幅器	1
差動遅延セル	7
チャージポンプ電流源	4
シングルエンド出力バッファ	1
抵抗 (7 kΩ)	2



図 7: PLL の配置配線結果

のマッチング特性を得るため差動対を同一のセル内に実装するようにし、図 6 中の点線で示すようにセルへ分割した。VCO のバイアス電圧を生成する遅延セルレプリカには、片側の入力を VSS へ接続することで遅延セルを使用した。差動シングルエンド変換回路にもチャージポンプのセルを使用し、表 2 に示すように 8 種類のアナログセルで構成した。ループフィルタに用いる容量は、1 個当たり 7 fF のセルを多数で構成した。

アナログ部の各モジュールに与える制約に関して、表 3 に示す。配線に許容される寄生容量に応じて、通常より大きいスペーシング制約を追加、シールドを付加、セルの座標を指定して配線長を短縮するなどの物理レイアウト上での制約を与える。なお、LF で使用するノンシリサイド抵抗は、セルへの実装が困難であったため、マクロとして実装した。

図 7 にレイアウトを示す。65nm SOI プロセスにて設計し、発振周波数は最大 300 MHz を見込んでいる。分周器などを含んだ面積は $290 \mu\text{m} \times 240 \mu\text{m} =$

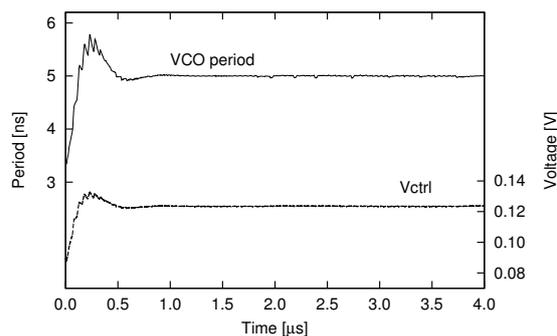


図 8: PLL の過渡応答

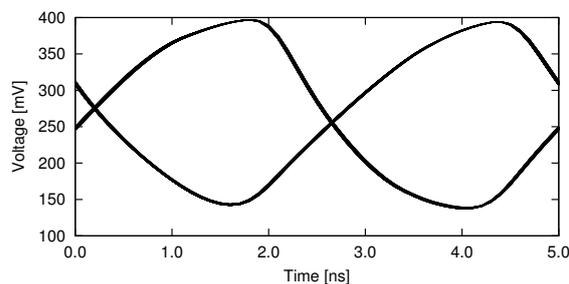


図 9: VCO のアイパターン

0.07 mm^2 であり、使用率は 91% である。ほぼ同じ回路をフルカスタム設計した場合 [11] と比べて、1.6 倍の面積となった。面積の 96% を容量が占めているが、規則的に並んだ電源配線を避けるため、面積が増加した。

5 評価結果

設計した PLL について寄生素子を抽出し、トランジスタレベルの解析を行った。基準周波数を 20 MHz とし、通倍比を 10 として、過渡解析を行った結果を図 8 に示す。制御電圧 (Vctrl) および VCO の発振周波数が定常状態に達し、ロックすることを確認した。図 9 に定常状態における VCO のアイパターンを示す。基準クロック信号がわずかに重畳されたが、ジッタが 0.04 ns 以下であることを確認した。寄生容量が十分に小さくなるように制約を与えることで、VCO 発振周期のゆらぎを十分に小さく抑えることができた。

表 3: PLL のアナログ部に与える制約

	配置制約	配線制約
VCO	セル毎に座標を指定, 周囲に配置禁止領域	シールド付の配線
LF	ノンシリサイド抵抗は座標を指定	通常の 3 倍のスペーシング
CP	VCO の近くに配置	通常の 3 倍のスペーシング

6 おわりに

アナログ・ミクストシグナル回路をセルベース設計フローにて自動設計する一例としてアナログ PLL の設計例を示した。デジタル回路へクロックを供給するための PLL で、抵抗を除く全ての回路はデジタル回路と同様のセルにて構成されており、寄生容量などに敏感な箇所に制約を与えることで、デジタル回路向けのツールを用いてセルベース設計が可能であることを示した。

謝辞

本研究を進めるにあたり、設計環境に関してご尽力くださった Islam A.K.M. Mahfuzul 氏、西澤真一氏、鎌苅竜也氏、塩見準氏に感謝する。PLL 回路を提供していただき多くのご助言を頂いた金信寧氏に感謝する。

本研究は東京大学大規模集積システム設計教育研究センター (VDEC) を通し、シノプシス株式会社と、日本ケイデンス株式会社、メンター株式会社の協力で行われたものである。

本研究の一部は、METI, NEDO 委託先である LEAP (Low-power Electronics Association & Project) の「低炭素社会を実現する超低電圧デバイス技術プロジェクト」において共同実施された。

本研究の一部は JSPS 科研費 B-25280014 および B-26280013 の助成を受けたものである。

参考文献

[1] A. Musa, Wei Deng, T. Siriburanon, M. Miyahara, K. Okada, and A. Matsuzawa. A compact, low-power and low-jitter dual-loop injection locked PLL using all-digital PVT calibration. *IEEE Journal of Solid-State Circuits*, Vol. 49, No. 1, pp. 50–60, Jan 2014.

[2] IEEE standard VHDL language reference manual. *IEEE Std 1076-2008 (Revision of IEEE Std 1076-2002)*, pp. c1–626, Jan 2009.

[3] IEEE standard for Verilog hardware description language. *IEEE Std 1364-2005 (Revision of IEEE Std 1364-2001)*, pp. 1–560, 2006.

[4] P.R. Gray and R.G. Meyer. MOS operational amplifier design — a tutorial overview. *IEEE Journal of Solid-State Circuits*, Vol. 17, No. 6, pp. 969 – 982, dec 1982.

[5] F. Silveira, D. Flandre, and P.G.A. Jespers. A g_m/I_D based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 9, pp. 1314 –1319, sep 1996.

[6] M. G R Degrauwe, O. Nys, E. Dijkstra, J. Rijmenants, S. Bitz, B. L A G Goffart, E.A. Vittoz, S. Cserveny, C. Meixenberger, G. Van Der Stapen, and H.J. Oguey. IDAC: an interactive design tool for analog CMOS circuits. *IEEE Journal of Solid-State Circuits*, Vol. 22, No. 6, pp. 1106–1116, Dec 1987.

[7] J. Rijmenants, J.B. Litsios, T.R. Schwarz, and M.G.R. Degrauwe. ILAC: an automated layout tool for analog CMOS circuits. *IEEE Journal of Solid-State Circuits*, Vol. 24, No. 2, pp. 417 –425, April 1989.

[8] A. Nassaj, J. Lienig, and G. Jerke. A constraint-driven methodology for placement of analog and mixed-signal integrated circuits. In *Electronics, Circuits and Systems, 2008. ICECS 2008. 15th IEEE International Conference on*, pp. 770 –773, 31 2008-sept. 3 2008.

[9] N. Kamae, A. Tsuchiya, and H. Onodera. A body bias generator compatible with cell-based design flow for within-die variability compensation. In *2012 IEEE Asian Solid State Circuits Conference (A-SSCC)*, pp. 389–392, November 2012.

[10] J.G. Maneatis. Low-jitter process-independent DLL and PLL based on self-biased techniques. *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 11, pp. 1723–1732, Nov 1996.

[11] KIM SinNyoung, Akira Tsuchiya, and Hidetoshi Onodera. Analysis of radiation-induced clock-perturbation in phase-locked loop. *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. 97, No. 3, pp. 768–776, 2014.