

# リング型発振器の経年劣化と特性ばらつきの相関の評価

京都工芸繊維大学 大学院 工芸科学研究科  
藪内 美智太郎 岸田 亮 大島 梓 小林 和淑

**概要** BTI (Bias Temperature Instability) による経年劣化現象と特性ばらつきの相関について、65nm バルクプロセス試作チップの測定データを元に評価する。最先端微細プロセスにおいて BTI と特性ばらつきの影響は深刻化しているため、これらの信頼性問題による回路動作の劣化を予測する手法が必要である。本稿では発振回路の周波数の初期値及び時間変化を測定することにより、デバイスの特性に基づいた劣化予測をモデル化する。その結果、特性ばらつきによって初期周波数が低くなったリング型発振器における BTI による経年劣化現象の影響が小さくなるという相関が明らかになった。

## Evaluation of Correlation between BTI-Induced Degradation and Process Variation on Ring Oscillator

Michitarou Yabuuchi, Ryo Kishida, Azusa Oshima and Kazutoshi Kobayashi

Dept. of Design Engineering, Graduate School of Science and Technology, Kyoto Institute of Technology

**Abstract** We evaluate the correlation between BTI-induced degradations and process variations by measuring the frequencies of ring oscillators (ROs) on our test chips in a 65nm bulk process. Impacts of BTI-induced degradations and process variations become significant issues on the highly scaled process. The prediction model for those reliability issues is indispensable. In this study, we predict the circuit performance degradations by measuring the initial frequencies and their degradations. We found that the effects of BTI-induced degradations on the ROs of the slow condition are smaller than that of the fast and typical conditions.

## 1 序論

LSIの経年劣化現象であるBTI (Bias Temperature Instability) はデバイスが微細プロセスで製造されているほど回路への影響が大きくなり、回路寿命を決定する主要因となるとされている [1,2]。NBTI (Negative BTI) はPMOSで起こるBTIであり、PMOSのゲートソース間に負電圧が印加されると時間の経過と共に閾値電圧が増加していく現象である。一方、NMOSでゲートソース間に正電圧が印加された時に起こるBTIはPBTI (Positive BTI) と呼ばれる。これらのBTIによりロジック回路において遅延が増加したり、メモリ回路においてビット不良が発生したりする。そのため微細プロセスでの回路設計においてはBTIによる劣化を考慮する必要がある。

BTIの特徴のひとつとして、ゲートのバイアスが取り除かれたときに閾値電圧の劣化が回復することが挙げられる。しかし閾値電圧の劣化は全て回復するわけではなく、蓄積されていく。CMOS回路においては回路に電源電圧が供給されている限りPMOSかNMOSのどちらかにバイアスが印加されるため、BTIによる経年劣化は不可避である。PBTIは40nm以降のhigh-kメタルゲートプロセスの場合に顕在化するが、NBTIは65nmプロセスでも影響が現れる。

本稿では65nmプロセスの試作チップを用いるため、PBTIについては考えない。

近年ではBTI劣化が時間の経過に伴って離散的にばらつくことが指摘されている [3]。BTIが発生する原因はデバイスの製造時にゲート酸化膜に生成される欠陥によるチャネルを流れるキャリアの捕獲、放出である。これはRTN (Random Telegraph Noise) と同様の現象であるが、BTIはRTNより長期間に渡って閾値電圧が変動し続ける。欠陥は電圧が大きくなったり、温度が高くなったりするほど、キャリアを捕獲しやすくなり、放出しにくくなる傾向にあるので、BTIによる閾値電圧の劣化が大きくなる [4,5]。プロセスが微細になるほどキャリア一つの挙動がデバイスの動作に与える影響は大きくなっていくため、BTIは重要な信頼性問題となる。

特性ばらつきとはデバイスの製造時にMOSFETの諸特性が一定にならない現象である。その主要因としてRDF (Random Dopant Fluctuation) やLER (Line Edge Roughness) がよく知られているが、一方では酸化膜欠陥に起因するMOSFETの初期特性劣化も問題となっている。BTIと特性ばらつきはそれぞれ酸化膜欠陥が原因であるため、これらに相関があるかは現在議論中となっている [6,7]。

本稿では65nmバルクプロセス試作チップを用いた測定結果からBTIと特性ばらつきを考慮した回路

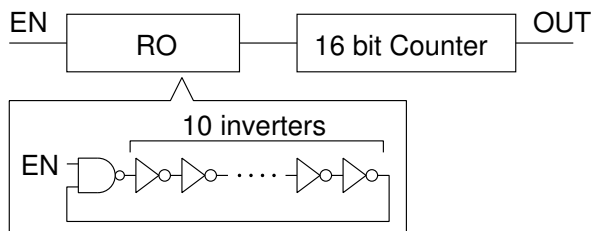


図 1: 測定回路の単位構造.

の特性劣化を予測する．試作チップ上のリング型発振回路 (RO) の初期発振周波数の分布を調べることで特性ばらつきを，時間の経過に伴う発振周波数の低下を調べることで BTI を，それぞれ解析する．特性ばらつきのコナーにおける BTI 劣化に注目することで，これらの信頼性問題の相関を明らかにする．

本稿の構成を次に述べる．第 2 節で特性ばらつき測定と BTI 劣化測定について 65nm バルクプロセス試作チップを用いたリング型発振器における測定手法を述べる．第 3 節で特性ばらつき測定と BTI 劣化測定の結果を述べる．第 4 節で BTI 劣化に関するシミュレーションと特性ばらつきと BTI の相関の考察について述べる．最後に第 5 節で結論を述べる．

## 2 測定手法

本節では特性ばらつきと BTI 劣化を解析するための RO 測定手法について述べる．

### 2.1 試作チップ

試作チップは 65nm バルクプロセスで製造されており，1764 個の RO を搭載している．これらの RO は配線抵抗や寄生容量の異なる 18 種類の構造を持ち，それぞれの構造が 98 個ずつある [8,9]．RO の段数は 11 段である．各 RO の発振回数はチップ上の 16bit カウンタを用いて計測することができる．測定回路の単位構造を図 1 に示す．

図 2 にチップ写真を示す．試作チップは 6.2mm 角である．試作チップ中央部に測定回路が配置されており，図 1 の単位構造のカウンタ部が数珠繋ぎになっている．カウンタの値を読み出す際にはシフトレジスタとして動作させることで出力できる構造となっている．

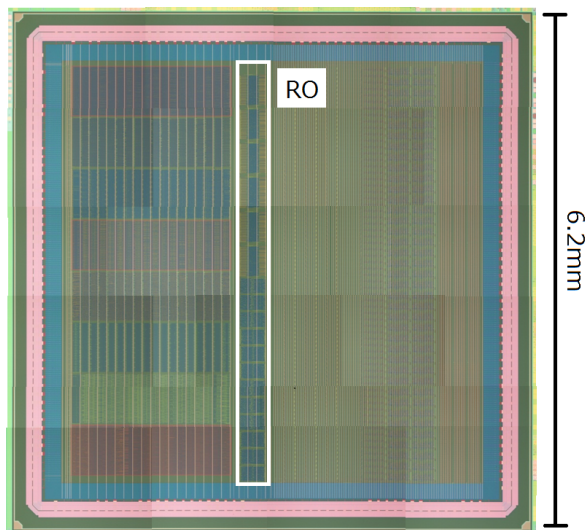


図 2: チップ写真.

### 2.2 測定条件

測定は電源電圧，温度を加速条件にして行った．電源電圧は 1.8V と 2.0V の加速条件とした．このプロセスの標準電圧は 1.2V である．温度は室温 25°C と加速条件の 80°C とした．

BTI による閾値電圧の劣化量は時間に依存するので，測定の際には制御信号の遅延を抑制する必要がある．そのため，測定は LSI テスタを用いて行った．LSI テスタと試作チップは DUT ボードを介して接続されている．

特性ばらつき測定においては試作チップ上の全ての RO における初期発振周波数を計測した．ただし RO は回路特性の異なる 18 種類の構造に分類されるため，それぞれの構造毎に分けて発振周波数の分布を確認する．

BTI 劣化測定においては，前述の特性ばらつき測定で確認したプロセスコナーにおける発振周波数の時間変動に注目する．BTI 劣化によって閾値電圧が増加することにより，RO の発振周波数が低下することが知られている [10,11]．RO が発振している間は BTI による閾値電圧の劣化が起こるので，発振中の一定時間ごとに発振周波数を計測することで劣化を確認する．測定時間は合計 3600 秒である．

## 3 測定結果

本節では特性ばらつき測定と BTI 劣化測定の結果を述べる．

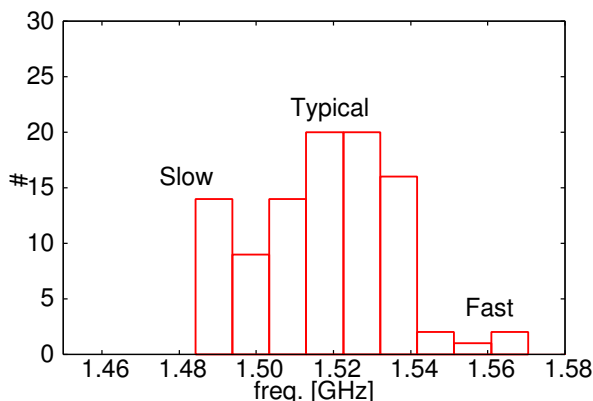


図 3: 98 個の RO における初期発振周波数の分布,  $V_{dd} = 2.0V, T = 80^{\circ}C$ .

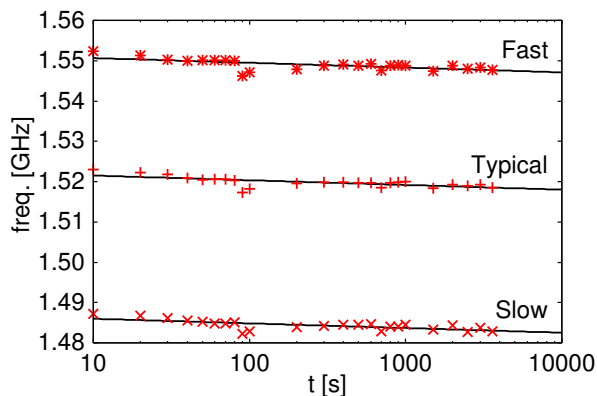


図 5: プロセスコーナーにおける発振周波数の劣化,  $V_{dd} = 2.0V, T = 80^{\circ}C$ .

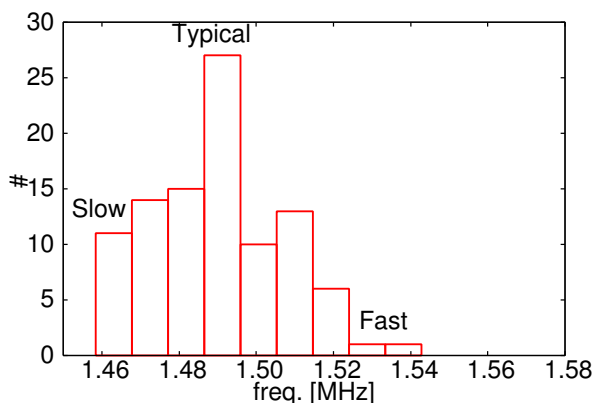


図 4: 98 個の RO における初期発振周波数の分布,  $V_{dd} = 1.8V, T = 25^{\circ}C$ .

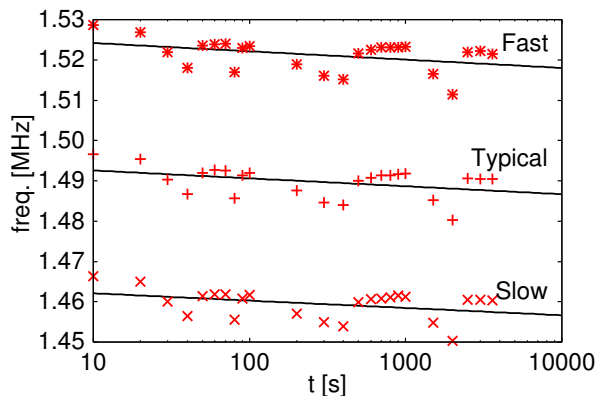


図 6: プロセスコーナーにおける発振周波数の劣化,  $V_{dd} = 1.8V, T = 25^{\circ}C$ .

### 3.1 特性ばらつき測定結果

図 3 と図 4 はそれぞれ異なる 2 つのチップにおける同一構造の 98 個の RO における初期発振周波数の分布を示す。縦軸は個数、横軸は初期発振周波数である。初期発振周波数がばらついていることが確認できる。特性ばらつきは通常はガウス分布に従うが、本測定の結果はガウス分布とは異なる分布となった。これは RO の個数が 98 個に限られているからであると考えられる。

それぞれの分布において発振周波数が高い 10 個の RO を fast, 平均値付近の 10 個の RO を typical, 低い 10 個の RO を slow と定義する。次の BTI 劣化測定においてはこれらプロセスコーナーにおける発振周波数に注目する。

### 3.2 BTI 劣化測定結果

図 5 と図 6 はそれぞれ特性ばらつき測定によって求めた fast, typical, slow の 3 つのプロセスコーナーにおける、時間の経過に伴う発振周波数の低下を示す。縦軸は発振周波数、横軸は対数目盛りで時間である。発振周波数はプロセスコーナーごとに 10 個の RO の平均としている。発振周波数は対数関数  $f(t) = -a \times \log(t) + b$  に従って低下している。

表 1 と表 2 に 2 つのチップにおけるプロセスコーナーごとの変数  $a$  を示す。表中の # は RO の構造番号を示し、 $av.$  は平均値である。変数  $a$  が大きいほどより劣化しやすいといえる。

表 1: プロセスコーナーにおける変数  $a$ ,  $V_{dd} = 2.0V$ ,  $T = 80^{\circ}C$ .

#	Fast	Typ.	Slow
0	0.795	0.849	0.682
1	0.976	1.009	0.992
2	1.033	1.039	1.016
3	0.935	0.839	0.792
4	0.812	0.734	0.814
5	0.820	0.731	0.824
6	0.953	0.826	0.904
7	1.117	0.898	0.834
8	0.896	0.841	0.843
9	0.820	0.787	0.806
10	0.810	0.781	0.808
11	0.829	0.780	0.728
12	0.598	0.525	0.499
13	0.606	0.561	0.570
14	0.577	0.596	0.532
15	0.513	0.508	0.502
16	0.436	0.487	0.393
17	0.454	0.444	0.435
av.	0.777	0.735	0.721

表 2: プロセスコーナーにおける変数  $a$ ,  $V_{dd} = 1.8V$ ,  $T = 25^{\circ}C$ .

#	Fast	Typ.	Slow
0	1.580	1.536	1.520
1	1.505	1.453	1.497
2	1.658	1.582	1.446
3	1.261	1.408	1.348
4	1.340	1.294	1.313
5	1.378	1.231	1.275
6	1.428	1.434	1.481
7	1.474	1.549	1.425
8	1.473	1.448	1.557
9	1.261	1.349	1.299
10	1.344	1.362	1.272
11	1.282	1.408	1.343
12	0.837	0.995	0.948
13	0.886	0.865	0.896
14	0.900	0.932	0.816
15	0.895	0.852	0.789
16	0.934	0.738	0.879
17	0.734	0.781	0.778
av.	1.232	1.234	1.216

## 4 考察

本節では BTI 劣化に関するシミュレーションを行い、測定結果の妥当性を検証する。測定結果から BTI 劣化と特性ばらつきの相関を考察する。

### 4.1 BTI 劣化シミュレーション

RO において BTI 劣化が起きた際の発振周波数の低下について、回路シミュレーションを行う。シミュレーション回路を図 7 に示す。この回路は NAND イネーブル付きの 17 段 RO であり、初期発振周波数は 1.232GHz である。本稿で取り扱う試作チップは 11 段 RO を搭載したものであるが、測定回路と発振周波数を近付けるためにシミュレーション回路では 17 段 RO とした。

シミュレーション条件は次の通りである。トランジスタモデルは 65nm パルクプロセス標準サイズを使用した。温度は  $80^{\circ}C$  に設定した。閾値電圧の変動量は Trapping-Detrapping Model を用いて計算し

た [12,13]。シミュレーションでは図 8 に示す 100 回計算した平均値を用いている。

シミュレーション結果を図 9 に示す。縦軸は発振周波数、横軸は対数目盛りで時間である。発振周波数の低下は測定結果と同様に時間の対数関数に従うことが分かる。

### 4.2 BTI 劣化と特性ばらつきの相関

BTI 劣化と特性ばらつきの相関を考察する。BTI 劣化については対数関数  $f(t) = -a \times \log(t) + b$  における  $a$  を用いることで評価する。変数  $a$  が大きいほど BTI 劣化の影響が大きい。図 10 は 98 個の RO における変数  $a$  の分布を示す。縦軸は変数  $a$ 、横軸は初期発振周波数  $f$  である。言い換えれば、この図は BTI 劣化と特性ばらつきの関係を示しているということである。

BTI 劣化と特性ばらつきの相関を調べるため、 $a$  と

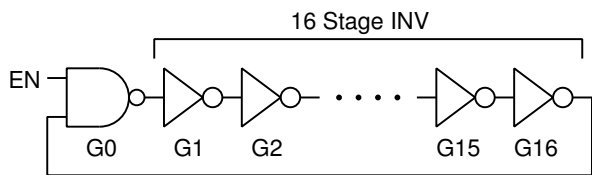


図 7: シミュレーション回路, 17 段 RO.

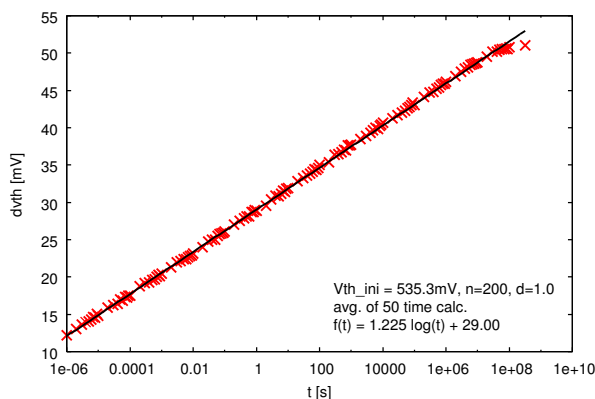


図 8: Trapping-Detrapping Model を用いて計算した閾値電圧変動量.

$f$  の相関係数  $c$  を求める .

$$c = \frac{\sum_{i=0}^n (f_i - f_{avg})(a_i - a_{avg})}{\sqrt{\sum_{i=0}^n (f_i - f_{avg})^2} \sqrt{\sum_{i=0}^n (a_i - a_{avg})^2}} = 0.338$$

ここで  $f_{avg}$  と  $a_{avg}$  はそれぞれ  $f$  と  $a$  の平均である . 相関係数から BTI 劣化と特性ばらつきは弱い相関があることが分かる .

## 5 結論

本稿では 65nm バルクプロセス試作チップのリング型発振器の発振周波数を測定することで, CMOS 回路における BTI 劣化と特性ばらつきの相関について評価した . 特性ばらつき測定の結果はガウス分布とは異なる分布となったが, 初期発振周波数のばらつきを確認することができた . BTI 劣化測定では時間の対数関数に従って発振周波数が低下することが確認できた . 初期発振周波数が高いリング型発振器において, 他よりも発振周波数の劣化が大きいことが明らかになった . このことから BTI 劣化と特性ばらつきには相関があることが分かる . 今後はこのことについて物理的な原因を究明していきたい .

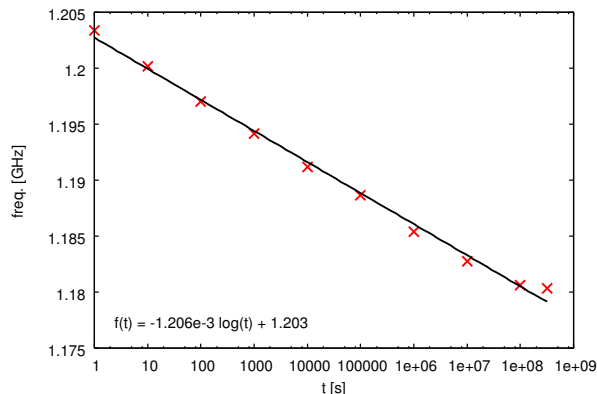


図 9: 17 段 RO における BTI 劣化シミュレーション結果.

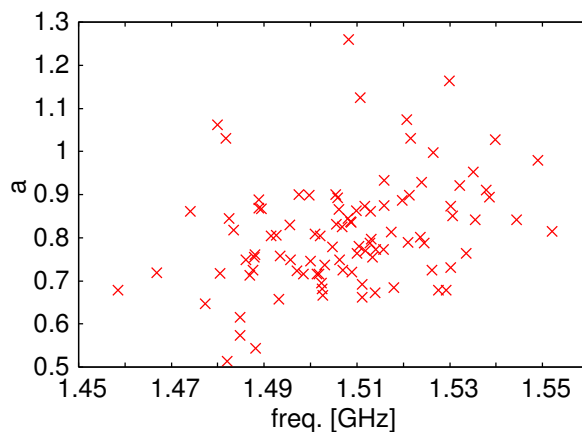


図 10: 単一構造の RO における変数  $a$  の分布.

## 謝辞

本研究は METI, NEDO 委託先である LEAP の「低炭素社会を実現する超低電圧デバイスプロジェクト」において共同実施された . 本研究に用いた TEG 設計は東京大学大規模集積システム設計教育センターを通して行われ, シノプシス株式会社, 日本ケイデンス株式会社とメンター株式会社の協力で行われたものである .

## 参考文献

- [1] K. Ramakrishnan, S. Suresh, N. Vijaykrishnan, and MJ Irwin, "Impact of NBTI on FPGAs", *20th International Conference on VLSI Design.*, (2007), pp. 717–722.
- [2] W. Wang, S. Yang, S. Bhardwaj, S. Vrudhula, F. Liu, and Y. Cao, "The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis", *IEEE Transactions on VLSI Systems*, Vol. 18, No. 2, pp. 173–183, (2010).
- [3] T. Grasser, "Stochastic charge trapping in oxides: From random telegraph noise to bias temperature instabilities", *Microelectronics Reliability*, Vol. 52, No. 1, pp. 39–70, (2012).
- [4] S. Desai, S. Mukhopadhyay, N. Goel, N. Nanaware, B. Jose, K. Joshi, and S. Mahapatra, "A comprehensive AC / DC NBTI model: Stress, recovery, frequency, duty cycle and process dependence", *IEEE IRPS*, (2013), pp. XT.2.1–XT.2.11.
- [5] T. Grasser, K. Rott, H. Reisinger, M. Waltl, J. Franco, and B. Kaczer, "A Unified Perspective of RTN and BTI", *IEEE IRPS*, (2014), pp. 4A.5.1–4A.5.7.
- [6] D. Angot, V. Huard, L. Rahhal, A. Cros, X. Federspiel, A. Bajolet, Y. Carminati, M. Saliva, E. Pion, F. Cacho, and A. Bravaix, "BTI variability fundamental understandings and impact on digital logic by the use of extensive dataset", *IEEE IEDM*, (2013), pp. 15.4.1–15.4.4.
- [7] M. Yabuuchi, R. Kishida, and K. Kobayashi, "Correlation between BTI-Induced Degradations and Process Variations by Measuring Frequency of ROs", *IEEE IMFEDK*, (2014), pp. 128–129.
- [8] 岸田亮, 齋内美智太郎, 大島梓, 小林和淑, "バルクと SOTB におけるアンテナダメージによるリングオシレータの発振周波数ばらつきの評価", 電子情報通信学会技術報告 (VLSI 設計技術), (2013), pp. 159–164.
- [9] R. Kishida, A. Oshima, M Yabuuchi, and K. Kobayashi, "Initial and Long-Term Frequency Degradation on Ring Oscillators from Plasma Induced Damage in 65 nm Bulk and Silicon On Thin BOX processes", *SSDM*, (2014), to be appeared.
- [10] Mark B. Ketchen, Manjul Bhushan, and Ronald Bolam, "Ring Oscillator Based Test Structure for NBTI Analysis", *IEEE International Conference on Microelectronic Test Structures*, pp. 42–47, (2007).
- [11] X. Wang, S. Song, A. Paul, and C. H. Kim, "Fast Characterization of PBTi and NBTi Induced Frequency Shifts under a Realistic Recovery Bias Using a Ring Oscillator Based Circuit", *IEEE IRPS*, (2014), pp. 6B.2.1–6B.2.6.
- [12] B. Kaczer, S. Mahato, V. Valduga de Almeida Camargo, M. Toledano-Luque, Ph. J. Roussel, T. Grasser, F. Catthoor, P. Dobrovolny, P. Zuber, G. Wirth, and G. Groeseneken, "Atomistic approach to variability of bias-temperature instability in circuit simulation", *IEEE IRPS*, (2011), pp. XT.3.1–XT.3.5.
- [13] M. Yabuuchi and K. Kobayashi, "Circuit Characteristic Analysis Considering NBTI and PBTI-Induced Delay Degradation", *IEEE IMFEDK*, (2012), pp. 72–73.