

# 高エネルギー効率ルータ・バイパス法 (EERB) による省電力NoC

成子 貴洋<sup>1,a)</sup> 平木 敬<sup>1,b)</sup>

概要: チップあたりのコア数が増加するのに伴い, 近年では従来のバスに代わり, コア間の通信基盤としてチップ上のインターコネクション・ネットワークである Network-on-Chip (NoC) を用いるのが一般的になっている. NoC はバスと比べ高いスループットを提供できるものの, コア数が大きくなるに伴いネットワークのサイズも大きくなるため, チップ全体の性能や消費電力に及ぼす影響も大きなものとなっている. NoC の性能を改善する方法として, ルータのバイパスが提案されている. これは, パケットの中間ルータの非同期的な通過を可能にすることにより, ネットワークのレイテンシを削減する手法である. 一方で, 既存のルータ・バイパス法では消費電力の削減はほぼ得られないことが分かっている. そこで本研究では, 高エネルギー効率ルータ・バイパス法 (EERB) を提案し, ルータ・バイパス法を性能改善だけでなく, 消費電力の削減にも活用することを目指す. シミュレーションにより, EERB を用いることで, 低レイテンシと低消費電力を同時に実現できることが示された

## 1. はじめに

ムーアの法則に従ってチップあたりに使用できるトランジスタ数は増加の一途を辿っているが, 命令レベル並列性によるマイクロアーキテクチャの性能改善は限界を迎えつつある. そのため, 現在では一つのチップ上に複数のコアを配置するのが一般的である. しかしこれにより, 複数のコアやメモリコントローラの間での通信を如何に実現するかという問題が新たに生じている.

従来はチップ内の通信にはバスが用いられてきたが, コア数が多い場合には十分なスループットを提供できないという問題があった. そこで, 現在ではチップ上のインターコネクション・ネットワークである Network-on-Chip (NoC) が一般に用いられている. NoC を用いるシステムにおいては, コア間の通信はパケットを用いて行われる. コアから送出されたパケットは, フリット (flow-control-digit, flit) と呼ばれる単位に分割された上で, ルータを経由しながら目的のコアまで転送される. ネットワークのトポロジとしては, 配線の都合からリングやメッシュが好まれる. リング・トポロジを採用した NoC としては Intel® XeonPhi™[5] のものが挙げられるが, リングはノード数  $N$  に対して  $O(1)$  の二分スループットしか提供することができない. 一方

で, メッシュ・トポロジは  $O(\sqrt{N})$  の二分スループットを提供することができる. Tiler® TILE64™[2] などの製品は, NoC のトポロジとしてメッシュを採用している. メッシュ・トポロジの NoC は, バスに比べて大きなスループットを提供できる一方, パケットが経由するルータの数の期待値は  $O(\sqrt{N})$  で増加するため, レイテンシも  $O(\sqrt{N})$  で増加してしまうという課題を抱える. ネットワークのレイテンシの増加はチップ全体の性能の低下を招く. そのため, レイテンシを削減するための手法として, Express Virtual Channel [7], Prediction Router [8] などが提案されてきた. SMART [6] もその様な手法の一つである. SMART はパケットの中間ルータの非同期的な通過を可能にすることにより, レイテンシの削減を図る手法である. SMART を用いたネットワークにおいては, パケットは中間ルータのバッファを通過し, 1 サイクルで複数ホップ進むことが可能である. この手法により, NoC のレイテンシを大幅に削減することが可能となる.

レイテンシの削減に加え, 消費電力の削減は NoC が抱える課題である. 例えば, 16 コアの MIT Raw プロセッサでは, NoC の消費電力がチップ全体の消費電力の 36% を占めると報告されている [10]. 消費電力がシステム的设计における主要な制約となっている昨今においては, この NoC における少なくない電力消費を削減することが重要である. しかし, SMART はレイテンシの削減に効果的であるものの, 消費電力削減の効果はほぼ得られない [6].

<sup>1</sup> 東京大学  
Hongo, Bunkyo-ku, Tokyo 7-3-1, Japan  
<sup>a)</sup> cincinnaru@is.s.u-tokyo.ac.jp  
<sup>b)</sup> hiraki@is.s.u-tokyo.ac.jp

そこで本稿では、高エネルギー効率ルータ・バイパス法 (Energy Efficient Router Bypassing, EERB) を提案する。EERB は SMART のルータ・バイパスを、性能改善だけでなく消費電力の削減にも活用する手法である。EERB を導入することで、バイパスの円滑化によるバッファ消費電力の削減、並びにバイパス経路の見直しによるクロスバ消費電力の削減を試みる。

## 2. 高エネルギー効率ルータ・バイパス法 (EERB)

### 2.1 EERB の基本動作

EERB を用いることで図 1 に描かれているように、フリットの間中ルータにおける非同期的な通過が可能になる。つまり、フリットは 1 サイクル内に複数ホップ進むことが可能となる。このようなルータのバイパスは、ネットワークのレイテンシを減少させるだけでなく、消費電力の削減にも効果的である。なぜならば、通過したルータにおいてはバッファやクロスバを使用しないため、これらの電力消費が発生しないからである。

図 2 は EERB のルータ構成を示している。簡単のため、2つの入力ポートと 1つの出力ポートのみ図示している。古典的な 5 サイクル・仮想チャネル・ルータとの違いは、次のような構成要素の存在にある。

- バッファのバイパス経路
- Switch Allocation Global ユニット
- クロスバ直後のマルチプレクサ
- BR(Bypass Request) リンク
- クレジット・リンクに代わる free\_vc リンク

この構成は SMART のルータとほぼ同様であるが、マルチプレクサの位置が SMART ではクロスバの前であったのに対し、EERB では後方である点が異なっている。この変更により、バイパス経路を通るフリットはクロスバを経由する必要がなくなるため、クロスバにおける競合を防ぐことができる。また、バイパスするルータにおけるクロスバ消費電力を削減できるという利点も得られる。

図 1 はフリットがルータ R0 からルータ R3 まで 1 サイクルで到達する例を示している。ルータ R0 は転送の始点 (このようなルータを開始ルータと名付ける) であり、マルチプレクサはバッファ側が選択される。ルータ R1, R2 はフリットの中継を行うルータ (このようなルータを通過ルータと名付ける) であり、マルチプレクサはバイパス路側が選択される。そして転送の終点であるルータ R3 (このようなルータを終止ルータと名付ける) において、フリットはバッファに収められる。なお、各ルータの役割はバイパス要求に基づき、サイクル毎に動的に変化する。一方、ルータの視点に立つと、入ってくるフリットを 2 種類に分類することができる。一つは自ルータ内にバッファされていたフリット、もう一つは自ルータを通り過ぎるだけ

のフリットである。ここでは、前者を近郊フリット、後者を通過フリットと名付ける。なお、1 サイクルで移動可能なホップ数の最大値は配線遅延などに基づいてチップのデザイン時に決定される。以下ではこの値を  $HPC_{max}$  と表記する。

図 3 は EERB ネットワークのパイプライン構成を示している。第 1 ステージは、VS, BW, RC, SA-L という 4 つの処理から成り立っている。それぞれ以下の処理を行う。

**VS** 空の仮想チャネルの選択。

**BW** VS で選んだ仮想チャネルへの書き込み。

**RC** 次の終止ルータ、そこまでのホップ数、そこへ到達するための出力ポートの計算。

**SA-L** クロスバ使用要求の調停。

第 1 ステージでクロスバの使用権が取得できると、第 2 ステージに進む。このステージは BR と SA-G の 2 つの処理から成る。

**BR** RC で求めた経路上のルータへのバイパス要求信号の送出。

**SA-G** バイパス要求の受諾・拒否の決定。

最後の第 3 ステージでは、経路上のリンクやクロスバを経由 (ST & LT) したフリットの転送が行われる。

上述の通り、フリットの転送に先行してバイパス要求の送出が行われる。バイパス要求の送出は専用の信号線である BR リンクを介して行われる。信号線の幅は  $\log_2(HPC_{max} + 1)$  ビット、長さは  $HPC_{max}$  ホップである。この信号線は一つのルータによって駆動され、そのルータから特定の方向に  $HPC_{max}$  ホップ以内にある各ルータによって読まれる。バイパス要求は次のサイクルに開始ルータを発つフリットが希望する移動ホップ数を表している。つまり、ルータ A にバッファされているフリットが  $d$  ホップ先のルータ B までの移動を希望している場合、ルータ A はルータ B を通る経路の BR リンクに値  $d$  を流す。ルータ A と B の中間にあるルータ  $C_1, \dots, C_{d-1}$  は値  $d$  を受け取るようになるが、これらのルータはルータ A からの距離が  $d$  未満であるため、値  $d$  をバイパス要求と判断する。一方、ルータ B の先にあるルータ  $C_{d+1}$  は、ルータ A からの距離が  $d$  より大きいため、受け取った値  $d$  をルータ A からのバイパス要求とは判断しない。

EERB では、自ルータ内の近郊フリットだけでなく、通過フリットも含めて出力ポートの調停を行う必要がある。SA-G はこの調停を行うステージであり、以下のような方針で調停が行われる。

- あるルータにおいて、通過フリットと近郊フリットとの間で衝突が発生している場合、近郊フリットが常に資源を獲得する。
- それ以外の場合、最も近傍のルータからの要求が受諾される。

つまり、そのバッファ内のフリットの転送が行われている

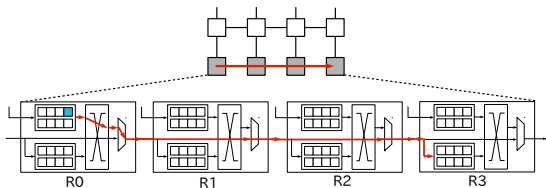


図 1 EERB によりフリットがルータをバイパスする例.

ような入力ポートが経路上に存在すると、ルータのバイパスはそのポートにおいて中断される。中断の有無を事前にフリットに通知することはせず、ST&LT ステージにおいて強制的に中断が行われる。

このような理由から、フリットはどのルータに停止するか事前に知ることができないため、仮想チャネルの割り当てを前もって行うことができない。そのため、到達したルータにおいてバッファの割り当てが行われる。下流のルータの空きバッファの有無は、free\_vc リンクを通して上流ルータに送られる。下流のルータに空きバッファが存在しない場合、上流のルータにバッファされているフリットは下流のバッファに空きが出るまで待機する必要がある。また、そのような下流のルータへの通過を試みるフリットも、上流のルータにおいて転送を中断する必要がある。

## 2.2 転送中断条件

出力ポートにおいて競合が発生した場合や下流のルータの空きバッファが無い場合に、転送の中断が発生することは上で述べたとおりである。ここで、転送の中断が必要となる状況を以下にまとめる。

**順序逆転** 通過フリットが近郊フリットを追い越すことによるフリット間順序の逆転が発生する場合がある。point-to-point ordering を保つ必要がある場合や、1 パケットが複数フリットで構成されている場合には、保つべき順序を崩すような追い越しが発生する手前で転送を中断する必要がある。

**出力ポート競合** 出力ポートにおいて競合が発生した場合、通過フリットの転送を中断する必要がある。

**空きバッファなし** 下流のルータに空きバッファが確保できない場合、転送をその上流ルータにおいて中断する必要がある。

当然ネットワークの負荷が大きくなるにつれて、これらの転送中断要因の発生頻度は高くなる。頻繁な転送の中断はネットワークのレイテンシを増やすばかりでなく、NoC の消費電力の増加にも繋がる。なぜならば、転送の中断によるバッファやアービタの使用が電力消費を招くからである。

## 3. 最適化

EERB を用いることで、通過ルータにおけるバッファ

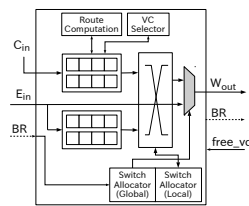


図 2 EERB のルータ構成.

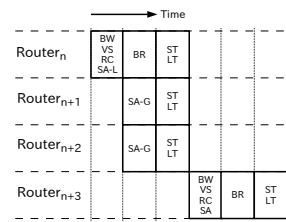


図 3 EERB のパイプライン構成.

やクロスバの消費電力を削減することが可能である。バッファとクロスバは NoC の消費電力の約 60% を占める構成要素である [6] ため、EERB は NoC 全体の消費電力削減に効果的であると期待できる。しかし、2.2 章で述べたような要因で転送の中断が発生すると、通過できるルータの数が減少するため、電力削減効果もその分だけ薄くなってしまふ。転送中断条件を緩和することで転送の円滑化が実現できれば、中断による電力削減効果の低下の抑制に繋がる。そこで、より円滑なバイパスの実現を図るため、2 つの最適化（区間番号・通過待ち）を導入する。

### 3.1 区間番号

フリット間の順序を保つための最も単純な方法は、通過フリットによる全ての追い越しを禁止することである。しかしながら、送信元ノードか宛先ノードのいずれかが異なるフリット間の順序は保つ必要が無いため、この方針では制限が強すぎると言える。不要な追い越しの禁止は、バイパス要求にフリットの送信元ノード番号と宛先ノード番号を含めることで、完全に排除することができる。つまり、バイパス要求を受け取ったルータは、次サイクルにやってくる通過フリットの転送を中断しなければならないか否かを、以下の基準に基づいて判断することが可能である。

- (1) バイパス要求に含まれるもの同一の送信元・宛先ノードのペアをもつフリットがバッファ内に存在する場合、追い越しを不許可。
- (2) それ以外の場合、追い越しを許可。

この方法は無駄な追い越し禁止を全て除去できるものの、多くのハードウェア資源を要する。例えば、コア数が 64 の場合、送信元・宛先ノードの組み合わせは  $64 \times 63 = 4032$  通りに上り、新たに  $\lceil \log_2 4032 \rceil = 12$  本のワイヤが各 BR リンクに必要な。

そこで、区間番号という値を導入する。区間番号は送信元・宛先ノード番号に適当な圧縮関数  $f_{code} : N^2 \rightarrow N$  を適用して算出した値である。つまり、ノード  $s$  からノード  $d$  へのフリットの区間番号は  $f_{code}(s, d)$  となる。区間番号を用いる方法では、誤って問題のない追い越しを禁止してしまう場合が存在するが、適切に圧縮関数を定義することで誤りの確率を抑えることが可能である。例えば、 $8 \times 8$  のメッシュ・トポロジの場合を考える。送信元ノードの  $x$  座標を  $s_x$  として、圧縮関数を以下の様に定義する。

$$f_{code}(s, d) = s_x \pmod 8$$

この関数は 4032 通りの端点の組み合わせを 8 通りの区間番号に圧縮する。これにより、BR リンクへのワイヤの追加本数を 12 本から 3 本に削減することができる。関数の定義より、 $x$  軸方向の移動中には誤った追い越しの禁止は発生しない。トラフィックが空間的に一様分布であると仮定すると、 $y$  軸方向の移動中における誤りの確率は  $7 \div 64 \approx 11\%$  である。以上より、ネットワーク全体での誤った追い越し禁止の発生確率は 5.5% に抑えられると推定できる。

圧縮関数は要求するハードウェア資源量と得られる性能向上率との間にトレードオフの関係があるため、想定されるネットワーク負荷や利用できるワイヤ資源の量などに応じて決定される必要がある。

### 3.2 通過待ち

マルチプレクサにおいて、近郊フリットと通過フリットの間で出力ポートに対する競合が発生する場合がある。この競合に対して、EERB は常に近郊フリットを優先する実装となっている。一方で、常に通過フリットを優先させるという方針を取ることも可能である。この場合、近郊フリットが送出を 1 サイクル先送ることで、通過フリットを転送の中断とそれに伴う 3 サイクルのルータ・パイプライン遅延から防ぐことができる。直感的にはこのような方針のほうが効率が良いように思われるが、[6] における評価結果から、低負荷時におけるレイテンシにおいて両方針に差がほぼ見られない一方、通過フリット優先の方針はスループットに関して近郊フリット優先の方針に大きく劣ることが分かっている。これは、複数のバイパス要求信号  $BR_1, BR_2, \dots, BR_n$  が重なりあうように出された場合に、 $BR_i$  のフリットを優先するために  $BR_{i+1}$  のフリットの送出が見送られ、結果として 1 番目のフリットの送出しが行われれないという状況が生じるためである。そのため、EERB は近郊フリットを優先する方針を採っている。

通過待ちは、バイパス要求の受け取りが予測される場合に、バッファされているフリットの送出を遅らせることで、より円滑なバイパスを促す最適化である。バイパス要求の予測はアルゴリズム 1 によって行われる。このアルゴリズムは、「2 サイクル前に 2 つ以上のフリットからバイパス要求を受け取っていた場合、いずれかのフリットは途中で転送の中断を被ったはずであり、次サイクルでバイパス要求の再試行を行うであろう」という考察に基づいている。ただし、そのフリットが属する仮想ネットワークが、point-to-point ordering の保持を約束している場合や、複数フリットから成るパケットが通るネットワークである場合には、追い越し禁止により通過待ちが無駄になってしまう可能性がある。そのため、次サイクルに受け取ることを期待しているバイパス要求の送信元フリットがこのような

#### Algorithm 1 Passage Wait

```

if there is a timeouted flit destined to  $P$  then
    return No passage wait
end if
 $S \leftarrow$  Set of sender routers of bypass requests in cycle  $t - 2$ 
 $R_1 \leftarrow$  The nearest router among  $S$ 
 $R_2 \leftarrow$  The second nearest router among  $S$ 
 $d_1 \leftarrow$  Hop-count between  $R_1$  and this router
 $d_2 \leftarrow$  Hop-count between  $R_2$  and this router
 $r_2 \leftarrow$  Hop-count requested by  $R_2$  in cycle  $t - 2$ 
 $vnet_2 \leftarrow$  Vnet number included in the bypass request from  $R_2$  in cycle  $t - 2$ 
if  $vnet_2$  is a Pt-to-Pt ordered vnet or a multi-flit packets vnet then
    return No passage wait
end if
if  $r_2 - (d_2 - d_1) \geq 2$  then
    return Do passage wait
else
    return No passage wait
end if

```

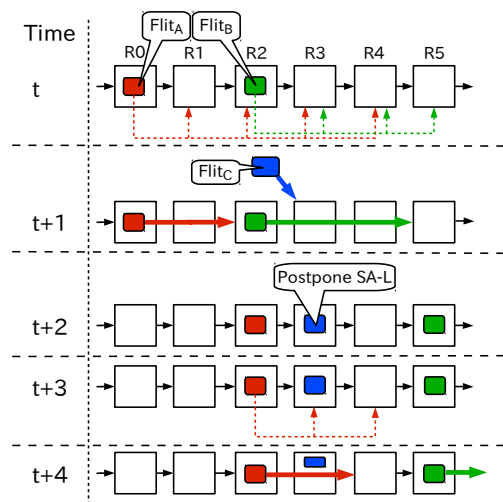


図 4 通過待ちの例.

仮想ネットワークに属している場合は、通過待ちは行わない。また、連続した通過待ちの発生によるデッドロックを防ぐため、各仮想チャンネルにフリットの待ち時間を管理するタイマを用意し、それがタイムアウトした仮想チャンネルが存在する場合には、通過待ちは行わないこととする。

図 4 は通過待ちの例を示している。この例では、 $Flit_C$  の 1 サイクルの通過待ちにより、 $Flit_A$  のレイテンシが 3 サイクル削減されただけでなく、R3 におけるバッファやクロスバの電力消費も削減されている。

## 4. 性能評価

### 4.1 評価手法

EERB が性能や消費電力に及ぼす影響を調べるため、PARSESEC ベンチマーク [3] による評価を行った。シミュレータには gem5 [4] を用いた。gem5 はインターコネクットのシミュレーションに GARNET [1] を採用しており、本研

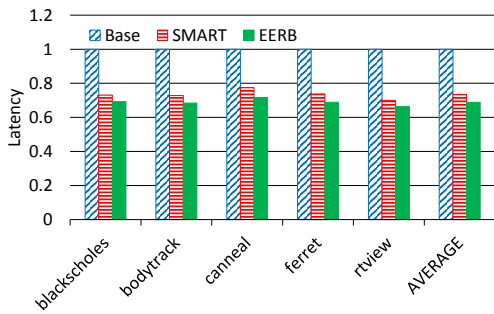


図 5 各アプリケーションにおけるネットワーク遅延.

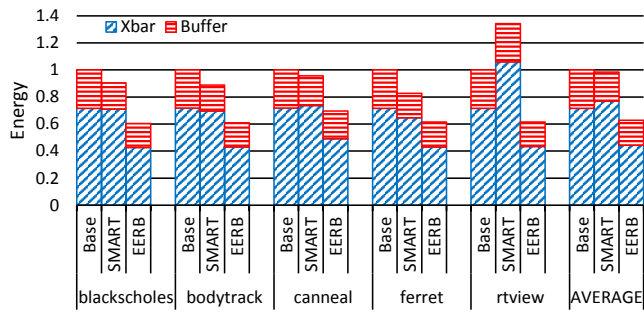


図 6 各アプリケーションにおけるバッファとクロスバの動的消費電力.

表 1 評価するシステムの構成.

|                        |               |
|------------------------|---------------|
| OS Kernel              | Linux 2.6.27  |
| ISA                    | ALPHA         |
| CPU Model              | Timing Simple |
| L1 Cache (Instruction) | Private 32KB  |
| L1 Cache (Data)        | Private 32KB  |
| L2 Cache               | Private 1MB   |
| Coherence Protocol     | MOESI hammer  |
| Network Topology       | 4x8 Mesh      |
| # of VCs per Vnet      | 4             |

究ではこの部分の実装を EERB の動作を模倣するよう適宜修正した. また, 消費電力の評価には Orion[9] を用いた. gem5 の各種パラメータは表 1 の通りに設定した. 評価対象は, ルータのバイパスを行わない従来の NoC (Base), SMART[6], EERB の 3 種類である.

## 4.2 結果

図 5 は各アプリケーションにおけるネットワーク遅延の結果を示している. EERB を用いることで, 従来の NoC と比べ, ネットワーク遅延が平均 31% 削減されている. マルチプレクサ位置の見直しや最適化の導入により, SMART と比べても平均 6% の削減が得られている.

図 6 は各アプリケーションの, バッファとクロスバにおける動的消費電力の結果を示している. 前述の通り, バッファとクロスバは NoC 全体の消費電力の約 60% を占める [6] ため, これらの消費電力を削減することは重要である. EERB を用いることで, バッファとクロスバにおける消費電力が, 従来の NoC と比べて平均 37%, SMART と比べて平均 36%, それぞれ削減されることがグラフから確認できる. EERB が消費電力の面で SMART に大きく優れているのは, EERB ではマルチプレクサがクロスバの後方に配置されているためである. マルチプレクサがクロスバの後方に配置されていることにより, 通過フリットは中間ルータにおいてクロスバを経由する必要がなくなり, クロスバ消費電力の大幅な削減が実現されている.

## 5. 関連研究

ルータのバイパスを利用する手法として SMART[6] が

ある. EERB は SMART から多くのアイデアを継承している. EERB では通過ルータにおいてクロスバをスキップするために, バイパス経路から抜けられる出力ポートを入力ポートの反対側に決め打ちしている. 一方, SMART では X 方向から Y 方向へのカーブを伴うバイパスも形成できる. バイパス形成の自由度が高いのは, マルチプレクサがクロスバの前方に配置されており, 通過フリットでもクロスバを経由して任意の出力ポートを利用可能だからである. しかしながら, [6] の評価結果を見る限り, その効果は限定的である. これは, 次元ルーティングを採用する限りにおいては, X 方向から Y 方向へのターンは高々 1 度しか起こらないため, カーブを伴うバイパスが十分に生かされないためであると考えられる. 一方で, このようなバイパスを可能にするために, 以下に述べる 3 つの欠点が生じる. まず, EERB と比べ, 必要な BR リンクの本数が増加するという点である. カーブを伴うバイパスを形成するには, その骨組みとなる BR リンクを 2 次元上に配置する必要がある. 例えば  $HPC_{max} = 7$  の場合, 出力ポートあたりの BR リンクの本数は, EERB では 1 本なのに対し, SMART では 13 本と大きな差がある. 2 つ目は, バイパス中断の確率が大きくなるという点である. EERB ではクロスバの出力ポートにおける競合がなければバイパスを継続することができるが, SMART では入力・出力ポートの両方が空いている必要がある. 最後に, クロスバの消費電力が増加する点である. EERB のバイパス経路はクロスバを経由しないため, 通過ルータにおけるクロスバの消費電力を削減することができるが, SMART では通過ルータにおいてもクロスバを経由する必要があるため, クロスバ消費電力の削減は得られない. 以上のことから, EERB ではバイパスの自由度を落とす方が合理的であると判断した.

経路上のルータにおけるレイテンシや消費電力の削減を目的とした先行研究として Express Virtual Channel(EVC)[7] が挙げられる. EVC は中間ルータにおける仮想チャネルやクロスバの割り当てを約束する仮想チャネルを設けることで,  $k$  ホップ先のルータまで  $k$  サイクルで到達可能にする手法である. EERB では途中でバイパスが中断される可能性があるため, 各仮想チャネルに 1 パケット分のバッファ

を用意しておく必要があり、バッファが効率良く利用されているとは言い難い。一方 EVC では、 $k$  ホップ先まで競合が一切発生しないことが保証されているため、wormhole routing が利用でき、バッファの効率的な活用が実現されている。また、バッファの利用効率をさらに改善するため、プール内のバッファを仮想チャンネルに動的に割り当てる手法も提案している。バッファの利用効率の悪さは EERB や SMART の大きな欠点の 1 つであり、動的なバッファの割り当てはその欠点の克服に利用できる可能性がある。

## 6. まとめ

本稿では、NoC の消費電力を削減するために高エネルギー効率ルータ・バイパス法 (EERB) を提案した。EERB のバイパス経路はバッファやクロスバを迂回するように引かれているため、これらの構成要素の消費電力の削減が期待できる。しかし、競合などの要因によりバイパスの中断が発生すると、EERB の効果が薄くなってしまいう問題がある。そこで、バイパスの中断の発生頻度を減らすため、2 つの最適化を導入した。1 つ目の最適化である区間番号は、フリット間の順序を保つ必要が無い場合の安全な追い越しをルータが検出できるようにすることで、不必要な中断を削減する手法である。2 つ目の最適化である通過待ちは、次サイクルにバイパス要求信号の受信が予測される場合に、バッファされているフリットの転送を遅らせることで、より円滑なバイパスを促す手法である。

EERB の効果を確認するためにシミュレーションによる評価を行った。評価結果から、EERB を用いることで、全ての中間ルータを 1 ホップずつ進む従来の NoC と比べ、ネットワーク遅延を平均 31%、バッファとクロスバの消費電力を平均 37%、それぞれ削減できることが確かめられた。また、ルータ・バイパス法を採用する既存手法である SMART と比較しても、EERB はネットワーク遅延、並びに消費電力の両面において優位であることが示された。これらの結果から、EERB はルータのバイパスを、パフォーマンスの向上だけでなく、消費電力の削減にも活用することのできる手法であると言える。

## 参考文献

- [1] Agarwal, N., Krishna, T., Peh, L.-S. and Jha, N.: GAR-NET: A detailed on-chip network model inside a full-system simulator, *Performance Analysis of Systems and Software, 2009. ISPASS 2009. IEEE International Symposium on*, pp. 33–42 (online), DOI: 10.1109/ISPASS.2009.4919636 (2009).
- [2] Bell, S., Edwards, B., Amann, J., Conlin, R., Joyce, K., Leung, V., MacKay, J., Reif, M., Bao, L., Brown, J., Mattina, M., Miao, C.-C., Ramey, C., Wentzlaff, D., Anderson, W., Berger, E., Fairbanks, N., Khan, D., Montenegro, F., Stickney, J. and Zook, J.: TILE64 - Processor: A 64-Core SoC with Mesh Interconnect, *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest*

- of Technical Papers. IEEE International*, pp. 88–598 (online), DOI: 10.1109/ISSCC.2008.4523070 (2008).
- [3] Bienia, C.: Benchmarking Modern Multiprocessors, PhD Thesis, Princeton University (2011).
- [4] Binkert, N., Beckmann, B., Black, G., Reinhardt, S. K., Saidi, A., Basu, A., Hestness, J., Hower, D. R., Krishna, T., Sardashti, S., Sen, R., Sewell, K., Shoaib, M., Vaish, N., Hill, M. D. and Wood, D. A.: The Gem5 Simulator, *SIGARCH Comput. Archit. News*, Vol. 39, No. 2, pp. 1–7 (online), DOI: 10.1145/2024716.2024718 (2011).
- [5] Intel: Intel®Xeon Phi™Product Family, <http://www.intel.com/content/www/us/en/processors/xeon/xeon-phi-detail.html>.
- [6] Krishna, T., Chen, C.-H. O., Kwon, W. C. and Peh, L.-S.: Breaking the On-chip Latency Barrier Using SMART, *Proceedings of the 2013 IEEE 19th International Symposium on High Performance Computer Architecture (HPCA)*, HPCA '13, IEEE Computer Society, pp. 378–389 (online), DOI: 10.1109/HPCA.2013.6522334 (2013).
- [7] Kumar, A., Peh, L.-S., Kundu, P. and Jha, N. K.: Express Virtual Channels: Towards the Ideal Interconnection Fabric, *SIGARCH Comput. Archit. News*, Vol. 35, No. 2, pp. 150–161 (online), DOI: 10.1145/1273440.1250681 (2007).
- [8] Matsutani, H., Koibuchi, M., Amano, H. and Yoshinaga, T.: Prediction router: Yet another low latency on-chip router architecture, *High Performance Computer Architecture, 2009. HPCA 2009. IEEE 15th International Symposium on*, pp. 367–378 (online), DOI: 10.1109/HPCA.2009.4798274 (2009).
- [9] Wang, H.-S., Zhu, X., Peh, L.-S. and Malik, S.: Orion: a power-performance simulator for interconnection networks, *Microarchitecture, 2002. (MICRO-35). Proceedings. 35th Annual IEEE/ACM International Symposium on*, pp. 294–305 (online), DOI: 10.1109/MICRO.2002.1176258 (2002).
- [10] Wang, H., Peh, L.-S. and Malik, S.: Power-driven Design of Router Microarchitectures in On-chip Networks, *Proceedings of the 36th Annual IEEE/ACM International Symposium on Microarchitecture*, MICRO 36, IEEE Computer Society, pp. 105–116 (2003).