

自由空間型スマートピクセルと 並列処理システムへの応用

石川 正俊 東京大学 ishikawa@k2.t.u-tokyo.ac.jp

◆自由空間光インタコネクションが目指すもの◆

最近のシリコン半導体集積化技術の進歩は目覚ましいものがあり、すでに1つのシリコンチップに1,000万を超えるトランジスタが集積化されており、将来2億トランジスタが集積可能というロードマップも示されている¹⁾。このような技術的基盤を背景に、システムオンチップといった設計指針も積極的に推進され、高集積化チップに向けてさまざまな技術開発が行われている。ところが、1つのチップに集積される回路の規模ならびに複雑さが増大するにつれて、必要とされる出力ピン数の増大に対する技術開発も、今後ブレークスルーが必要とされている。

一般に、レントの法則と呼ばれる経験則では、1つのチップで必要な出力ピン数は、回路規模に指数的に増加するといわれており、高集積化は出力ピン数の増大を招くわけである²⁾。たとえば、示されているロードマップでは、2007年に0.1 μm ルールで2億トランジスタが集積される場合には、オフチップクロックとして1GHz、出力ピン数として5,000本が必要であるという数字が例示されており、この仕様をチップ内の信号、特にクロック信号などの伝搬遅延、すなわちスキューの問題を解決した上で実現する必要がある。

ピン出力信号の多重化などを考慮すると、チップ間接続はピン数 \times 帯域を増大させることが課題である。別の言い方をすれば接続の空間密度と時間密度の積を最大化することである。前述した仕様に対する現在のメタル配線技術は、空間密度と時間密度、さらにはスキューの面で限界があり、仕様の実現は困難であると考えられる。また、導波路型の光インタコネクション

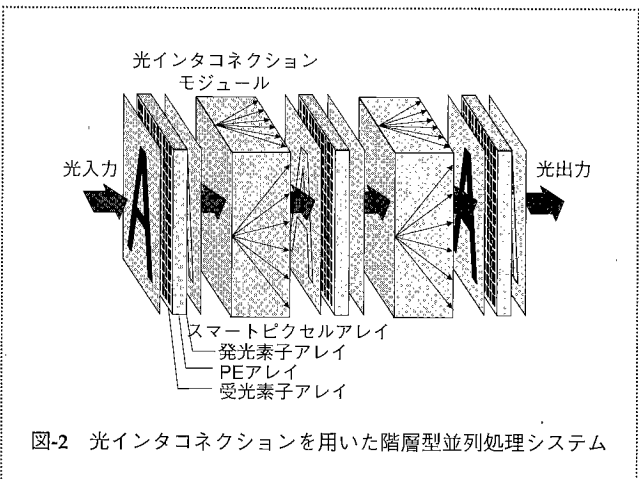
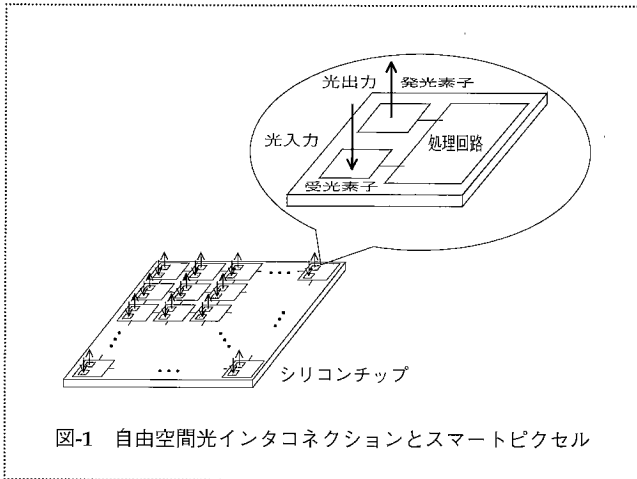
は、広帯域という利点はあるものの、密度やスキューの面からはメタル配線と同じ問題を抱えており、根本的な解決にはならない。

すなわち、近未来においては現在のメタル配線の広帯域化や高密度化、あるいはその置換えとしての導波路型光インタコネクションの広帯域化で対処できるとしても、いずれくるであろう限界に対するブレークスルーを求める1つのアプローチとして、自由空間伝搬型の光インタコネクションの導入が考えられている。自由空間を利用することにより、チップと垂直な方向への高密度インタコネクションが実現でき、しかもチップ内配線が整理されることから、チップ内スキューの緩和にも有効である。

◆自由空間光インタコネクションと階層型並列処理◆

■自由空間光インタコネクションとスマートピクセル

自由空間光インタコネクションを用いたスマートピクセルの一般的な構造を図-1に示す。この図に示すように、スマートピクセルと呼ばれる回路モジュールは、チップに対して垂直な方向へ光を出射する面発光レーザ (VCSEL) などによる発光素子、チップに垂直な方向からの光を受光する受光素子、シリコンデバイスによる何らかの演算回路 (Processing Element: PE) という3つの要素からなる。発光素子から出射された光は、自由空間を経由して次のチップの受光素子に入射される。チップのピンボトルネックを解消するためには、光入出力素子とPEが一体のものとして集積化されることが必要条件となる。



このようなスマートピクセルは、チップ内に処理回路が多数配置されることになるので、必然的にその構造は並列処理となる。しかも、従来は、集積化の容易な固定の演算回路（回路規模として数十トランジスタ以内）を用いたものが多く、たとえば光交換機などの光スイッチングのためのデバイス構造のように特定用途での実現を目指したものが多かったのに対して、PEとして汎用性の高い回路を用いることにより、チップ全体として柔軟性の高い並列処理を実現することが可能となる。

自由空間光インタコネクションの形態には、一対一固定接続、一対多固定接続、一対一再構成可能接続、一対多再構成可能接続などのタイプがあり、一般にこの順で技術的な困難さが増してくる。特に、一対多固定接続タイプの典型的な例は、チップ内にスキューのないクロックを供給するのに有効であり、この場合には光クロックと呼ばれている。接続の再構成可能性は、プログラムやデータに応じて接続パターンを変えることができるようにするもので、並列処理の汎用性をさらに高めるためのものである。

さらに、自由空間を用いることで、光素子を2次元チップ上の任意の位置に配置することができ、結果としてインタコネクションの空間密度を増加させることが可能となる。つまり導波路型光インタコネクションがチャンネル数の増加よりも広帯域性を利用するのに対して、自由空間光インタコネクションでは空間密度の向上やスキューの低減を期待している。

ただし、一対一接続以外では、レーザ光を分岐することになり、そのための仕組みとして、後述するようにビームスプリッタや回折素子を導入する必要がある。さらに再構成可能性を付与するにはそれらの素子が書換え可能であることが要求される。これらの点が自由空間光インタコネクションの技術的課題となっている。

■階層的並列処理

スマートピクセルを多数配置した並列処理チップを自由空間光インタコネクションで接続することにより、並列処理チップが階層的に、あるいはパイプライン的に接続されることになる。今まで並列処理チップやポトルネットワークのないチップ間接続といった考え方がなかったが、図-2に示すような処理アーキテクチャの実現も視野に入ってきた。

このような考え方にに基づき、汎用のPEと再構成可能な光インタコネクションを用いた並列処理システムを提案・実現した世界最初のシステムは東京大学のSPE-IIである³⁾。その後、ほぼ同じ構造を追求するアメリカの「VLSIフォトニクス」プロジェクト⁴⁾をはじめとして、同様のプロジェクトが提案され、現在、日米欧の研究機関で類似の研究が勢力的に進められている。

◆自由空間光インタコネクションを用いた並列処理アーキテクチャ◆

このような自由空間光インタコネクションを用いた並列処理システムを設計するに当たって、考慮すべき課題がある。たとえば、光の広帯域性を利用しようとして制御回路を電子回路で製作すると、結局、電子回路の速度が制約条件になってしまう。光では容易な10GHzの領域に対して低コストの電子回路を提供するのは困難である。また、双方向通信は光回路の設計上なるべく避けたい。そのため、電子回路での制御を必要としないアービトラクションフリーなアーキテクチャの導入やチャンネル密度の向上が課題となる。

■階層型完全並列処理構造

このような設計条件を考慮すると、並列の光入出力を

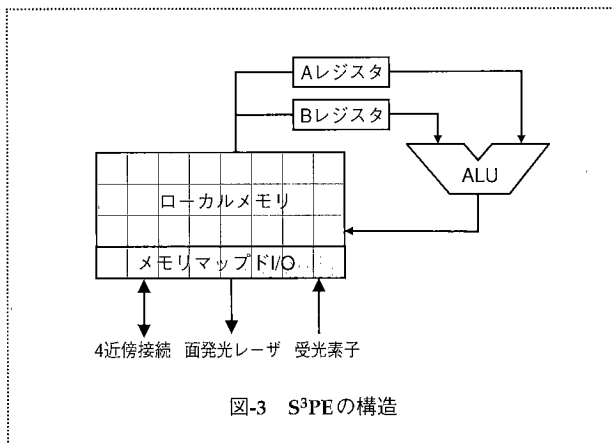


図-3 S³PEの構造

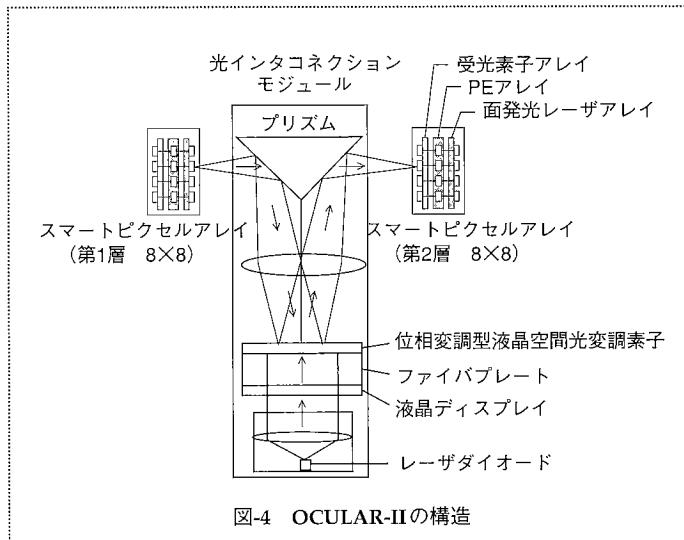


図-4 OCULAR-IIの構造

用いたSIMD (Single Instruction stream and Multiple Data stream) 型の完全並列処理が有効である⁵⁾。図-2に示すように均質なPEを多数並べたチップに対して、自由空間光インタコネクションにより、同期的にチップ間データ転送を実現するものであり、応用として画像処理のような均質な並列処理が多い用途が考えられる。このような構造では、上述したボトルネックがないため、受光素子を通して得られる高速のデータに対して、受光素子と同数のPEによる超並列処理を行うことにより、全体として超高速の処理が実現できる。また、処理結果を光インタコネクションにより次段へ送ることにより、パイプライン型のアーキテクチャを実現することができる。

しかし、並列演算処理機構を実現するためのPEとして、既存の並列処理で用いられている程度の粒度を想定すると、処理回路の規模が大きくなってしまい、多数の処理回路を同一チップ内に収めることが不可能である。このため、演算の汎用性を損なうことなく処理回路の規模を減らすことにより、1チップ上に多数のPEを集積できるような並列処理アーキテクチャの開発が必要となる。そこで、最低限の汎用性と高速性を維持したまま、集積度を上げるためのコンパクトなPEの設計、すなわち、1つのPE当たりのチップ面積を極力小さくしたPEの設計が必要になる。

■ S³PE

このような設計思想に基づく基本的なPEとして、我々はS³PE (Simple and Smart Sensory Processing Element) アーキテクチャを提案し、設計・製作した⁶⁾。このS³PEのアーキテクチャを図-3に示す。

このPEは、ビットシリアル演算構造を有するALUと1bitずつランダムアクセス可能な24bitローカルメモリを有し、8チャンネルのメモリアドレスにマップされた

I/Oレジスタにより受光素子や近傍との通信を行っている。ビットシリアル演算は、多ビット演算を1ビットずつ順に行うもので、演算速度の面では不利であるが、演算回路が1ビット分で済み、しかも可変長データの演算が可能である点で集積化に対して有利である。結果として、PEのトランジスタ数を大幅に削減することができ、実際のチップでPEあたり約400トランジスタ（フルカスタム設計）というコンパクトな回路で実現されている。

この構造は、光出力を用いない場合にはビジョンチップと呼ばれるものであり、現在0.35μm CMOS技術を用いて、64×64=4,096個のPE（1つのピクセルあたり、約100μm×100μm）を集積したものが実現されている。また、光出力に対応したものとしては、8×8=64個を集積したものが開発されている。前者の場合、チップ全体で約180万トランジスタとなり、画素数を上げた128×128=16,384個のPEのワンチップ集積化もそれほど困難ではない。

■ OCULAR-II

このようなスマートピクセルによる並列処理システムの実例として、筆者らは、面発光レーザーダイオードアレイと液晶空間光変調素子による再構成可能な光インタコネクションを導入したSPE-IIを設計・試作し³⁾、その小型化を実現したOCULAR-IIシステムを開発した⁷⁾。OCULAR-IIの全体構成を図-4に示す。

このシステムは、再構成可能な自由空間光インタコネクションを用いた並列処理システムであり、再構成可能な光インタコネクションの実現のため、計算機ホログラム (Computer Generated Hologram: CGH) と空間光

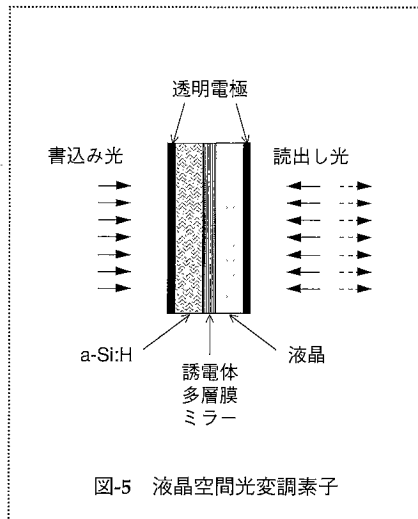


図-5 液晶空間光変調素子

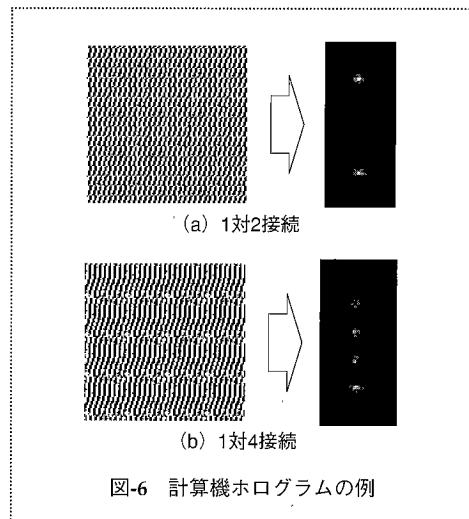


図-6 計算機ホログラムの例

変調素子を導入している点に特徴がある。PEには上述したS³PEアーキテクチャを有する8×8=64個のPEをフォトディテクタとともに一体化したものを用い、発光素子にはPEアレイと一対一に対応した面発光レーザーダイオードアレイ（8×8素子、波長0.85μm、出力2mW）を用いている。

光インタコネクションの再構成を実現するのは、液晶空間光変調素子に書き込まれたCGHである。液晶ディスプレイに提示されたCGHを液晶空間光変調素子に書き込むことにより、接続パターンを書き換えることが可能となっている。

液晶空間光変調素子は、図-5に示すような構造を持ち、液晶にかかる電圧を書込み側の光パターンで制御し、その電圧に応じて読出し光の位相を変調するものである。一般に液晶は、付加される電圧によって透過または反射する光の振幅ならびに位相を変えることができる。コンピュータのディスプレイは振幅の変化をうまく利用しているわけであり、実際、このような振幅変調型のデバイスはさまざまなデバイスとして実用化されているものが多い。しかし、振幅変調型の場合には、入射した光のエネルギー（振幅の2乗に比例する）を変調の過程で失うため、信号の伝搬ロスを伴う。ディスプレイの場合は、それが濃淡になるので問題はないが、光インタコネクションでは、できれば100%のエネルギーを伝搬したいわけで振幅変調型は問題を生じる。

これに対して、位相のみを変調するタイプのものは、全体としてエネルギーのロスがなく、効率的な伝搬を実現することが可能である。OCULAR-IIではこの点を考慮して位相変調型のもの（浜松ホトニクス製、PAL-SLM）を用いている。位相変調型の空間光変調素子では、レーザー光の位相（波面）を変調するのみで、振幅

は変化しない。

この空間光変調素子に書き込むCGHは、ホログラムの一種で、出力像からホログラム像を計算によって設計するもので、たとえばフーリエ変換光学系では、期待する出力像のフーリエ逆変換を計算し、それをホログラムとすれば、そのホログラムにレーザー光を当てることによって期待する像が得られるわけである。この場合、フーリエ変換系であるため、ホログラムのどの位置でも同じパターンが出力されることになる。すなわち、レーザーアレイのどの位置のレーザーの光も相対的に同じ出力パターンを有することになる。この性質をシフトインバリエントと呼ぶ。

ただし、実際には、ホログラム面（正確には、空間光変調素子への書き込み用いる液晶ディスプレイ）には画素構造があり、無限の分解能を仮定している計算とは違って、期待通りの像が得られない。そこで、今度は画素構造を持つホログラムから光学系を通して得られる出力像を計算で求め、理想的なパターンとのエラーを最小化するようにホログラムパターンを最適化する。ここでは、シミュレーテッドアニーリングを用いた最適化を行っている。

このような方法で作成されたホログラムの例を図-6に示す。ここで用いられたデバイスの分解能のもとで、理想的なパターンに光のエネルギーが集中するように最適化設計されたものである。一般に、伝搬する光のエネルギーのうち必要とする情報として得られるエネルギーの割合を回折効率と呼び、高い回折効率を得ることが自由空間光インタコネクションの目標である。OCULAR-IIの場合、使用されるパターンによって20%から90%の回折効率を得られている。ちなみに振幅変調の場合数%が理論的限界であり、位相変調型の優位性が分かる。

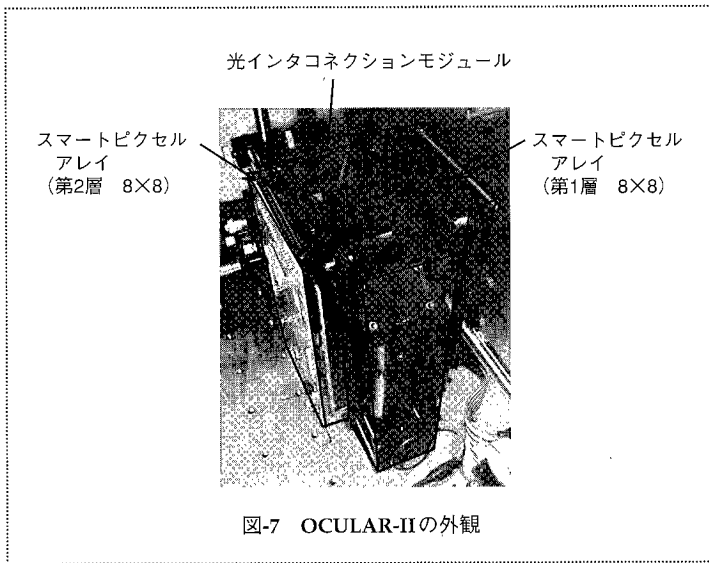


図-7 OCULAR-IIの外観

ただし、一対多の場合にはファンアウトの問題（一対 n の接続に対して各受光素子への入力エネルギーは出力されるレーザ光のエネルギーに対して、少なくとも $1/n$ に減少する）が生じる点に注意が必要である。

システムの全体図を図-7に示す。SPE-IIでは $1\text{m} \times 1\text{m}$ 以上あったものが、 $20\text{cm} \times 15\text{cm}$ 程度に収めている。ただし、チップの大きさに比べるとまだ実用化にはほど遠く、今後の小型化が必要である。この実験システム上で、行列ベクトル演算の並列実行などいくつかのアルゴリズムが実現するとともに、演算処理とインタコネクションの時間が同等のレベルになった場合のネットワークの解析なども行っている⁸⁾。

■ブロック光学系を用いた自由空間光インタコネクション

一方、固定の接続パターンでよい場合、しかも一対一でよい場合には、小型のシステムが実現されている⁹⁾。図-8に概略を示す。この場合には、書換え可能な素子が必要なく、またホログラムパターンも単純なため高い回折効率を実現できる。ブロック上の光学系を用いることに小型化が容易であり、チップサイズでの実現が可能である。

■課題

上述したとおり、今後の小型化とともにいくつかの課題が存在する。

1つは、アライメントの問題であり、発光素子と受光素子の相対的なアライメントを $10\mu\text{m}$ 、あるいはそれ以下のオーダーで合わせる必要がある¹⁰⁾。この問題は、自由空間を利用する場合に避けては通れない問題である。

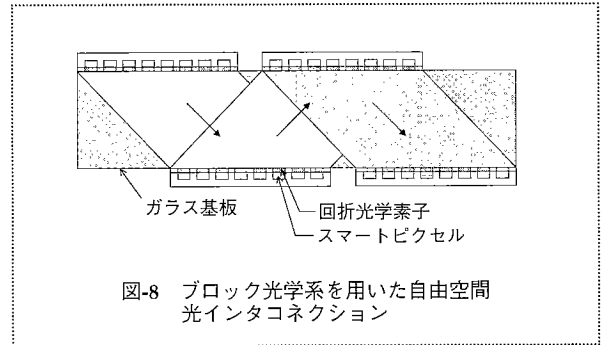


図-8 ブロック光学系を用いた自由空間光インタコネクション

もう1つは、動作速度の問題である。現在はPEの基本クロックである 10MHz で動作しているが、他の用途を考慮するとより高速の動作が望ましい。現在の回折効率やフォトディテクタの感度などの問題を解決する必要がある。しかし、チップ上の面積やクロストークの問題などから、密度の向上と速度の向上はトレードオフの関係にあり、双方を考慮した最適設計が必要である。

◆おわりに◆

自由空間光インタコネクションを用いた並列処理技術について実際の例を中心に述べた。光インタコネクションの導入によって、電気では解決できない種々のボトルネックが解消され、コンピュータ、特に並列処理システムの性能は飛躍的に向上することが期待されている。今後は、技術の普及とともにコスト面での改良がなされることが期待される。

参考文献

- 1) http://www.itrs.net/1999_SIA_Roadmap/Home.htm
- 2) Bakoglu, H. B., 監訳中澤喜三郎, 中村 宏: VLSIシステム設計-回路と実装の基礎-, 丸善 (1995).
- 3) Ishikawa, M.: Parallel Optoelectronic Processing Systems and Applications, Tech. Digest Int. Conf. on Optical Computing, pp.385-386 (1994).
- 4) <http://www.darpa.mil/MTO/VLSI/index.html>
- 5) 石川正俊: 超並列・超高速視覚情報処理システム-汎用ビジョンチップと階層型光電子ビジョンシステム-, 応用物理, Vol.67, No.1, pp.33-38 (1998).
- 6) Ishikawa, M., Ogawa, K., Komuro, T. and Ishii, I.: A CMOS Vision Chip with SIMD Processing Element Array for 1ms Image Processing, Proc. IEEE Int. Solid-State Circuits Conf., pp.206-207 (1999).
- 7) Ishikawa, M. and McArdle, N.: Optically Interconnected Parallel Computing Systems, IEEE Computer, Vol.31, No.2, pp.61-68 (1998).
- 8) 成瀬 誠, 石川正俊: 光インターコネクションを用いたシステムのための並列アルゴリズムの構築, 情報処理学会論文誌, Vol.41, No.5, pp.1509-1516 (May 2000).
- 9) Kawai, H., Baba, A., Takeuchi, Y. and Ishikawa, M.: 8×8 Digital Smart Pixel, Proc. Int. Conf. on Optics in Computing, pp.715-720 (2000).
- 10) Naruse, M. and Ishikawa, M.: Analysis and Characterization of Alignment for Free-space Optical Interconnects Based on Singular-value Decomposition, Appl. Opt., Vol.39, No.2, pp.293-301 (2000). (平成12年8月3日受付)

