

将来の LSI におけるデバイスの考察*

垂井 康夫**

1. はじめに

本日の講演は、最初超 LSI に関して話してほしいということで今年の夏頃に昔電総研にいらした相磯理事からは是非にと頼まれたものでございます。当時私は超 LSI プロジェクトには関係しておりませんでしたので、気軽に御引受けしてしまったのですが、その後幸か不幸かプロジェクトに関係するようになりました。現在開発小委員会の委員長を担当しまして大いに討論を重ねている所でございますが、プロジェクトに関してはこの段階ではお話しにくくなってしまいました。従いまして本日のお話は超 LSI のプロジェクトとは無関係に私の将来の LSI におけるデバイスの考察としてお聞きいただきたいと思ひます。

次に本日のお話の内容でございますが、LSI の集積度を増して行く場合の問題点としては1つはデバイスを微細化して大集積して行くこと、その大集積を生かすシステム設計の2つが問題となると思ひます。

情報処理学会としてはむしろ後者に御専門の方が多いのではないかとおぼやかれますので、ここでは前者のデバイスの今後の微細化、高集積化がいかに進められるのかの概要をお話して御参考に供しようと思ひます。お話は表-1 のように3つの部分にわけて行いたいと思ひます。

表-1 講演の3つの部分

- | | |
|----|---------|
| 1. | 高集積化の考察 |
| 2. | 微細加工技術 |
| 3. | 微細化デバイス |

まずは微細化、高密度化がマクロに見てどのように進められているかについて述べようと思ひます。

2. 高集積化の考察

集積回路の微小化の限界を最初に論じたのは Wallmark¹⁾ である。1962 年にすでに彼は立方体のデバイ

スを仮定して図-1 のように使用抵抗率の関数として微小化の限界寸法をのべた。これに敬意を表して、最初にこれからスタートすることにする。しかしそのいづれも現在の集積回路においては限界とはなっていないことを述べようと思ふ。図-1 の各制限因子について別々に考える。

(1) 熱

Wallmark は立方体のバルクに流れる電流を考えたから抵抗率が小さくなると共に電力が増加した。しかし現在のデバイスではこれはあてはまらず、抵抗率で電流が limit されないでずっと少ない値となっている。おそらく論理の極小エネルギーの限界は熱エネルギー kT 程度²⁾ が必要ということであろうから、仮りにこれを計算してみると kT (室温) $0.0259 \text{ eV} = 0.0259 \times 1.6 \times 10^{-19} \text{ ジュール} = 4.144 \times 10^{-21} \text{ ジュール}$ 、1秒内に 10^8 回論理するとして $P = 4.144 \times 10^{-21} \times 10^8 = 4.144 \times 10^{-13} \text{ W} \approx 4 \times 10^{-13} \text{ W}$ 、放熱を 1 W/cm^2 として $1 \text{ W} / 4 \times 10^{-13} \text{ W} = 2.5 \times 10^{12} \text{ 素子/cm}^2$ となり、常温としてもまだこの限界までには多くの余地があることが判る。

(2) 宇宙線

これも立方体を考え、もともとと存在する電荷との比較となっているから MOS のような場合には表面の反転で発生する電荷であるからこの限界はあてはまらないでずっと少ない量となる。

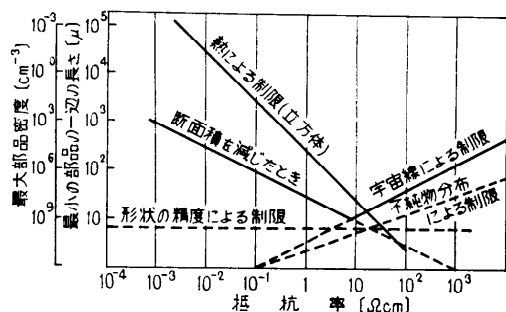


図-1 超小型化の限度についての Wallmark の提案

* 情報処理学会第 16 回大会 招待講演 (昭和 50 年 11 月 21 日)

** 電子技術総合研究所半導体デバイス研究室長

(3) 不純物分布

これまた立方体の伝導度が不純物のバラツキによって規格外となることである。たとえば MOS トランジスタではこのバラツキが影響するのはソース・ドレインの直列抵抗に相当するから、Wallmark は 2% 以上は規格外とったが直列抵抗ではそれ程きびしい必要はない。たとえば 10% とすると規格外のはずれは 2 桁以上少なくなる。一方、チャンネル領域については Keyes³⁾ の計算によると $N^{1/2}$ に比例する。

以上いずれも限界は Wallmark よりも小さい値となるから、製作技術の限界が重要となる。このように動作に対する限界は構造と仮定によって変わるからここでは現在から近い将来への例を示すことにする。

現在は近い所の例として図-2 は我々の関係した LSI を含む 2 つの工技院の大形プロジェクトの例である。

この図に書込まれている年次は試作品完成の時を示すものである。①はフリップチップを用いたハイブリット LSI であり⁴⁾、②はモノリシック LSI によるマイクロプロセッサの例である⁵⁾。この図から判るように、①→②においては速度はむしろ遅くして集積度をあげる点に重点があり最近の高集積化の傾向を先取りしている。①はハイブリットでモノリシックの部分で数十箇/チップであるから集積度は約 100 倍であり、電力遅延積 $t_p \cdot P$ は 250 倍となっている。これは丁度 2^8 倍になっており、年率 2 倍の率である。

次に寸法と速度および消費電力との関係を示す例として図-3 を示す。これは図-2 に示したパターン大プロの目標設定の時計算した図である⁶⁾。ここで設定としてはエンハンス・デプレッション構成を用い $V_{DD} = 5V$, $t_{ox} = 1000 \text{ \AA}$, $\mu = 700 \text{ cm}^2/V \cdot \text{sec}$ を用いている。ホットエッチ技術により可能になるであろう等価極長 $d = 3 \sim 5 \mu$, 空冷で得られるパッケージ当りの放熱 $1W$ を想定して, $t_p = 2 \text{ ns}$, $p = 0.2 \text{ mW/G}$, および 5000

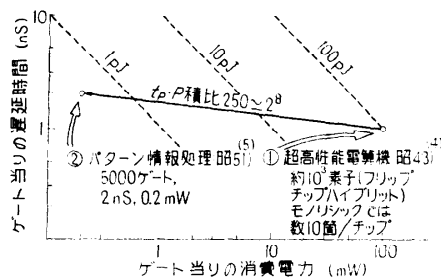


図-2 工業技術院大形プロジェクトにおける LSI の進歩の傾向

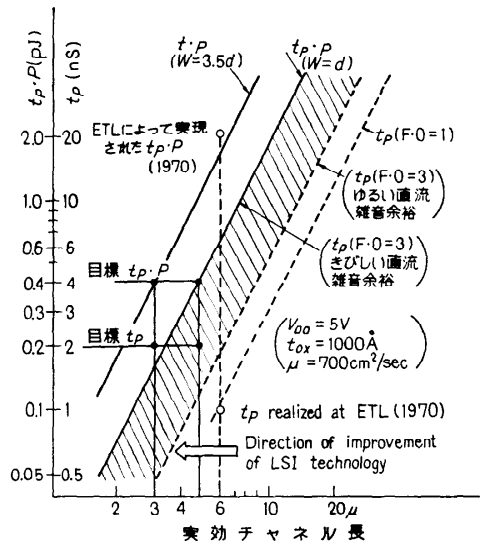


図-3 実効チャンネル長らの速度と遅延・電力積 $t_p \cdot P$ の推定

ゲートの集積度という目標が設定されたのである。

図-4 (次頁参照) は現在でも或る程度の範囲で将来の微細加工技術の進歩に伴う速度および集積度の改良に関する見通しを立てる上で用いることが出来るものである。

3. 新しい微細加工技術

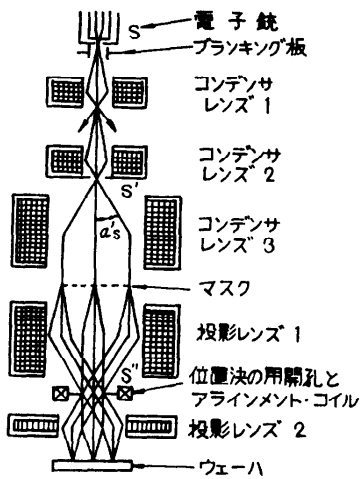
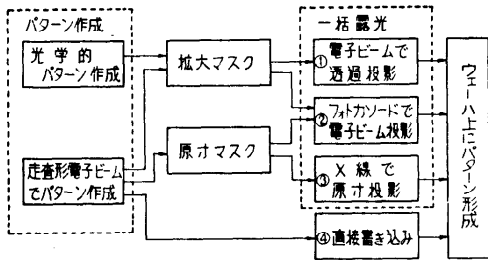
2. において述べたように現在の集積回路の微細化を妨げている主な原因は形状の成形精度による制限である。現在の集積回路はそのほとんど光を用いた写真技術によって製作されているが、フォトレジストが感光する光の波長は主として $3000 \sim 4000 \text{ \AA}$ 付近である。したがってマスクパターンがこれに近づくにつれて光の干渉などによって問題が出てくる。この波長の壁を破るためには波長がさらに短い方法をとるべきである。この目的のために X 線、電子ビームなどによる方法が開発され始めている。

電子ビームを波と考えたときの波長は、加速電圧を V とすれば、 $\sqrt{150/V} \text{ \AA}$ であり、X 線の場合はたとえばアルミニウムを電子ビームで照射したときに放出される X 線は 8.34 \AA であり、いずれも波長としては十分に短いものである。主要なる問題はパターンをいかに形成するかと、如何に位置合せをするかである。

電子ビームおよび X 線を露光する方法として考えら

れる主なる方法を表-2に示す。すなわち露光のための原図のパターンを作るには光学的な写真技術を用いるか、走査形電子ビーム装置によってパターンを描い

表-2 微細パターン形成法の分類



IBMの縮小投影システム

図-4 電子ビームによる透過投影

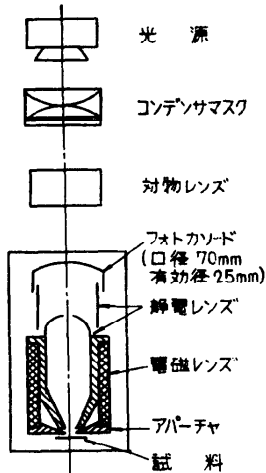


図-5 縮小投影露光方式の例

ていく2つの方法のみであり、これによって作られたパターンを如何にウェーハ上に移すかにおいて各種の方式が考えられている。以下各方式を順に説明する。

3.1 電子ビームで透過投影

光を使った投影式の装置において光を電子ビームにおきかえたもので、その一例を図-4⁷⁾に示す。マスクは電子ビームの流れの中間におかれる。したがって、光におけるガラスに対応する電子ビームをよく通過させるマスクの基板物質が得られないかぎりマスクに構成出来るパターンの形状には制限がある。しかしこの場合は走査形と異なって投影面全体を一括露光するから露光時間が短かく、この例の場合0.1秒である。この方式は電子レンズの精度が重要である。

3.2 フォトカソードによる電子ビームへ変換

光が当たると電子が放出されるフォトカソードを用いることによって光学的なマスクを用いることが可能となる。図-5⁸⁾はその一例で光の像を有効径25mmのフォトカソードに投影し、これを電子レンズとアパーチャで縮小する。縮小倍率は1/25~1/30であり、加速電圧25kVで0.1μmの解像度を得ている。

図-6⁹⁾はマスクとフォトカソードとを一体化した例である。マスクは図に示されるように紫外線に透明な石英基板上に設けられた紫外線を通さないTiO₂によって構成され、フォトエミッタとしてはパラジウムなどが用いられている。紫外線はマスク物質TiO₂のない部分のパラジウムに照射され、その部分のみ電子が放出される。2.537Åの光で励起すると0.1~0.3eVの光電子がパラジウムから放出される。カソードと基板(アノード)との間に10keVの電界をかけ、集束

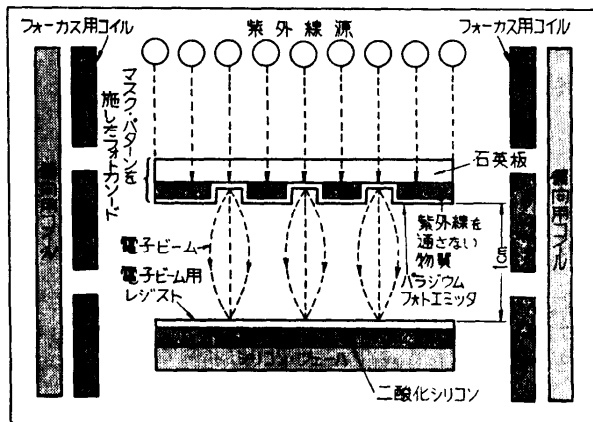


図-6 マスクとフォトカソードを一体化した方法によるマスクの原寸露光例

磁場を設け、電子流をレジスト上へ導きマスクと原寸の同一像を結ばせる。これらの方法においても電磁界の均一性と安定性が重要である。

3.3 X線による原寸投影

X線は電磁界等によって偏向が出来ないから、露光においては光における密着法に対応する方法がとられる。その方法の一例を図-7¹⁰⁾に示す。すなわち電子線によって照射された金属から放出されるX線をマスクを通してウェーハ上に照射する。X線を用いる場合の利点は回折、散乱が少ないことから精度高く出来るほか、電子線の場合よりも後方散乱が少なく、レジストの上端から下端までムダ少なく露光出来ること、塵埃も透過して影響が少ないこと、ウェーハの部分に真空を必要としないことなどである。

一方問題点としてはマスク材料にあり、精度を十分に満すだけの機械的安定さをもつX線を良く透過する材質と、薄くて十分にX線を吸収して通さない材質とが構成しやすい組合せで得られるかどうかにある。このような点から両材質と波長が選ばれる。

マスクの基板材質としては現在のところ薄くしたシリコンウェーハ、アルミナあるいはマイラフィルムなどが用いられる。シリコンウェーハの有利な点は熱膨脹係数が完全に試料のシリコンウェーハと一致する点である。X線を吸収する材質としては吸収率と扱い良さから金が多く用いられる。波長は4~10Å以内が用

いられX線ターゲットによって選ぶことが出来、多くはアルミニウムによる8.34Åが多く用いられている。この方法における問題点は露光に時間がかかることで従来のレジストでは15分位必要であり、今後X線用の高感度レジストの開発を必要としている。

上記3.1, 3.2, 3.3で述べた一括露光方式においてマスク位置合せが一つの問題点であり、いくつかの方式も提案されているが今後実用化のためにはさらにいろいろと考えられてゆくと思われる。

3.4 走査形電子ビームによるパターン形成

この方法は十分に細く絞った電子ビームを走査して、露光部分と非露光部分はビームのオンオフすることによって区別してパターンを描くものである。露光装置の構成の一例を図-8¹¹⁾(次頁参照)に示す。すなわち、この場合パターンに関する入力はパターン設計において得られた紙テープなどのデータが用いられる。この装置では露光時間を短縮するために露光する部分のみを掃引して、その部分がすむとすぐにつきの露光領域へビームを移す方法がとられている。

パターン露光の際それ以前に作られているパターンとの相互位置を正確に位置合せするために、ウェーハ上にあらかじめ作られたSiO₂, Siあるいは金属などの凹凸を弱い電子ビームで数回走査して、得られる反射電子、2次電子などの信号から雑音を除いてから平均して、これによって位置補正を行っている。

ビームの走査範囲を広げると収差が大きくなるので、機械的なウェーハ移動を併用する必要があり、本装置では2mmステップでのウェーハ移動を併用している。この種の電子ビームによるパターン露光装置は0.2μm程度のビーム径でマスク製作にはすでに実用化されているが、直接ウェーハを露光するためにはパターンを走査して行く性質上時間がかかる点が欠点とされている。

マイクロ波用トランジスタなど簡単な構造で微細加工を必要とする分野から実用化され始めている。より大きいデバイスに使われるためには感度の高いレジストの開発と、早い掃引速度をもつ装置の開発が必要である。

3.5 パターン形成についてのまとめ

上にのべた各種の方式はいずれも未だ開発段階であり、将来どの方式が主流となるかは簡単に判断することは出来ない。若干の推定を加えて将来を述べると次のようになる。

まずすでに現在取り入れられつつある方式はフォト

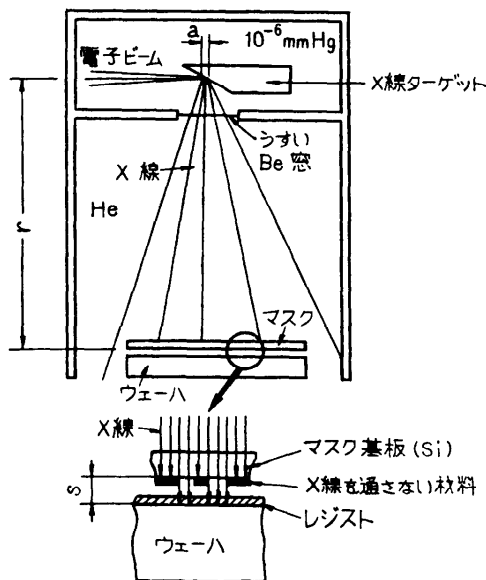


図-7 X線による原寸投影の例

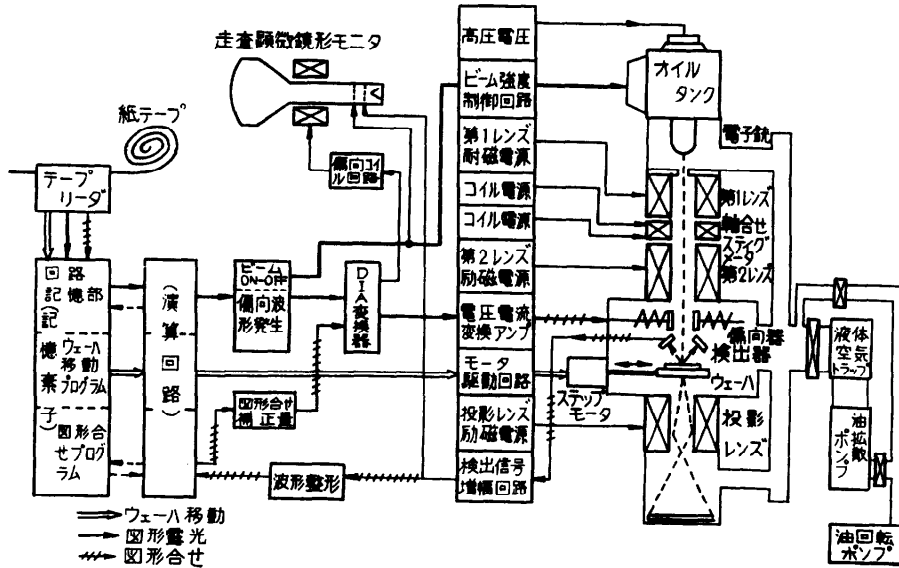


図-8 走査形電子ビーム露光装置によるシステム例

マスクを走査形電子ビームで作成し、これを用いて光を用いた露光方式によって従来に近い形のフォトリソを行うものである。

次に用いられる一括露光は、表-2 における①②③の内どれが用いられるか判断の難しい所であるが③のX線露光は散乱が少ない点からきわめてシャープなパターンが得られ、塵埃の影響も少ない点など利点が多い。したがってマスク合せのやり方、マスク材質、X線用レジストなど問題点が解決されたならば多く用いられる可能性がある。

①の方式は電子レンズ系の精度がどこまで解決されるか、パターン形状への制限をどおかに解決するかにかかっている。

②のフォトリソではパターン形状への制限はないがフォトリソの部分の製作が簡便に寿命長く作り得るか、電子レンズの精度がどこまで解決されるかにかかっている。

注意すべきことは以上のべた方式の内、パターンの原図自体を作り得るのは走査形電子ビームによる方式である。したがって、この方式がもっとも微細なパターンを作り得るものである。このため電子ビーム用レジストの感度の数値の向上と露光装置の発達によって最終的な方式としてウェーハ上へのパターン形成にもこの方式がとられる可能性は高い。

微細化の数値的予測は難しい所であるが①②③などの方式では近い将来に $1\mu\text{m}$ の線幅が可能となるの

ではないかと思われる。一方④の方式によって $0.1\mu\text{m}$ のオーダーの線幅が可能となるのではないかと予想される。

4. 微細化デバイス

微細加工が自由に出来ても、それだけでよい特性のデバイスが出来るとは限らない。むしろ微細加工が可能となってからこれを生かす方法も仕事となるのである。

それはフォトリソが導入されてから現在までに、その加工精度を生かすために開発された多くの新しい技術によって類推される。たとえばシリコンゲートによるセルフラインなど微細化する加工精度を生かし、これにおくれている機械的合せ精度をカバーするために開発されたものであった。すなわち新しい加工法として予想される電子ビーム、あるいはX線露光においてはフォトリソ以上に位置合せ技術は困難になると思われ、今まで以上に多くの特徴と共に欠点を有していると考えられるのである。したがって特長を生かし、欠点を補う新しい考えが次々と生れることが予想され、これがデバイス屋にとってひとつの興味ある分野となるであろう。以下このような微細化に適したデバイスの例としてバイポーラトランジスタとMOSトランジスタについて一つずつ今までの例をあげることにする。

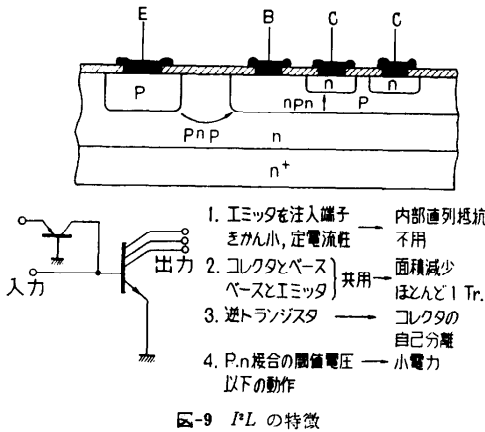


図-9 I^2L の特徴

4.1 I^2L

バイポーラで大集積に適しているデバイスの例として図-9に示す。 I^2L について若干考察してみる。この回路はトランジスタ回路というより集積回路構造として新しさをもっており、多くの特徴もっているものである。そのいくつかの特徴とその原因について述べよう。

- (1) まず入力トランジスタのエミッタからベースへの注入を用いることによってコレクタ、すなわち次段のベースの論理振幅によるきかんと少なく、次段ベースへの入力電流の定電流性が保たれている。このため TTL などが必要であった一回路ごとの直列抵抗の必要がなくなった。この抵抗が不要である点が大いなる面積の減少をもたらした。
- (2) 初段のコレクタとベースをそれぞれ次段のベースとエミッタと共用させることによって面積はほとんど1つのトランジスタと同程度となった。
- (3) コレクタを表面にもって来て逆トランジスタとしたためにコレクタが自己分離出来ることとなり分離が不用となった。
- (4) pn 接合の閾値電圧以下の動作のため小電力となり得る。

すなわちバイポーラ IC としては画期的な特徴をもつものである。しかし MOSIC とくらべると MOS のもっている特徴と似てきたとみることもできる。たとえば上の4項目に対応させると

- (1) デプレッション MOS トランジスタによる定電流負荷、
- (2) ゲート回路におけるソースとドレインにおけ

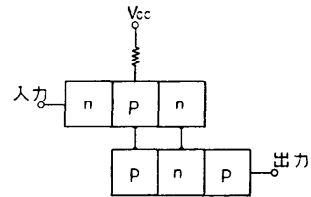


図-10 共有接合相補形 IC

る共通部分、

- (3) ドレインにおける自己分離
- (4) MOS トランジスタの閾値電圧は自由に可変であり、任意の論理振幅がとり得るのである。

すなわち I^2L は MOS 回路に近づいてきたということも出来る。さらに比較すると I^2L にとっては広いベース領域を充放電しなければならないことと、微細加工が MOS ほど直接に高速に導びかない点が高速化は MOS に劣るのではないかと思われる。図-10は我々が以前に発表したデバイス¹⁴⁾でトポロジカルには I^2L ときわめて似た構造である。

4.2 MOS トランジスタ

上に述べたように微細加工技術が十分に発達して極小デバイスの形状が出来ることと、そのデバイスが望ましい特性で動作することは別問題である。事実単純に微細化しても特性は悪化してしまうことが予想されるのである。すなわち微細加工を十分に生かすデバイス構造に関するアイデアと設計法が今後の一つの重要なテーマとなる。以下に MOS トランジスタの場合を例として、この問題に関するいくつかの問題について論じる。

MOS トランジスタを微細化したときに生じる問題点を以下列挙する。すなわち

- (1) パンチスルー
MOS トランジスタのソースとドレインの距離が近づいて、その間を結ぶ空乏層内の電流が無視出来なくなる問題。
- (2) チャネル長を短かくすることによる閾値電圧の変化
これはソース・ドレイン距離が短くなると共にソースおよびドレインの空乏層の影響が閾値電圧に出てくる問題である。
- (3) 基板バイアスによる閾値電圧の変化
これは基板バイアスによって増加する空乏層の電荷の変化によって閾値電圧が変化するという問題である。

これらの問題の解決のためにはソース、ドレインの接合を浅くすることが有効であるが、これには限度がある。また SOS のような絶縁物上の薄い半導体層を用いることも有効であるが使用されるシリコンの質にやはり制限が生じてくる。このような点から基板濃度を寸法縮小に関連づけるスケージングという方法が論じられている。

微細化を行う場合に各種のパラメータをバラバラに小さくすると、任意性が多すぎるために改善の方向が判り難くなる。そこで原理的な指導原理に従って小さくすることが望ましいことである。このように諸量を関係づけて小さくすることをスケージングと呼んでいる。

幸いなことに MOS トランジスタに関してはこのような first order のスケージングが可能であることが知られている。

すなわち MOS トランジスタにおけるスケージングは表-3¹⁵⁾に示されるものである。主要点は縮小係数を K とすると、寸法、電圧を $1/K$ とし、不純物濃度を K 倍とする点にある。これによって空乏層幅は

$$(\text{電圧/不純物濃度})^{1/2}$$

に比例するとすれば $1/K$ となり、閾値電圧は酸化膜厚に比例するとすればやはり $1/K$ となるのである。

4.2.1 スケージングでも残る問題点

スケージングは first order であり、ある程度までの縮小に対しては有効であるが、ある限界を越えるといろいろと問題が生じ、新しい構造によって問題を解決しないと特性の悪化をまねくこととなる。たとえば、基板全体の濃度を増加すると基板バイアスによる閾値電圧の変化が大きくなるのである。これを避けるために図-11¹⁵⁾に示すように表面にイオン注入によって平坦な不純物分布を導入することが行われている。

一方、全く別の方法として図-12に示す DSA MOS トランジスタ¹⁶⁾はソースの周辺のみをベース濃度を大とするものであるが、この方式は微細化に有利であることが示されている。すなわちこの場合は不純物分布はそのままでソース～ドレインの距離を変えることが

表-3 MOS トランジスタにおけるスケージング

リニヤ寸法	t_{ox}, L, W	$1/k$
基板濃度	N_a	k
電圧および電流	$V \ \& \ i$	$1/k$
キャパシタンス	eA/t	$1/k$
遅延時間/回路	VC/I	$1/k$
電力消費/回路	VI	$1/k^2$
電力密度		1

出来る。すなわちスケージングしなくても縮小出来る余裕をもっているということである。

図-13¹⁷⁾はソース～ドレインの距離の短縮による閾値電圧の変化で、図-11のイオン注入による方式よりもこの図-12の方式の方が変化が少ないことがわかる。図-14¹⁷⁾(次頁参照)は基板バイアスによる閾値電圧の変化で図12の方式では図-15¹⁷⁾(次頁参照)に示されるように或る程度空乏層がのびると ϕ 形の高濃度領域はすべて空乏層に入ってその後は低濃度領域となって閾値電圧の変化は少なくなるのである。

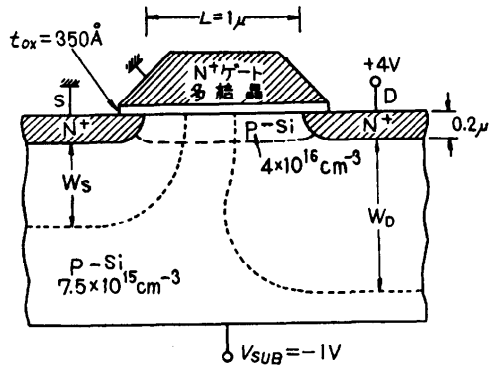


図-11 表面に平坦にイオン注入した MOS トランジスタ

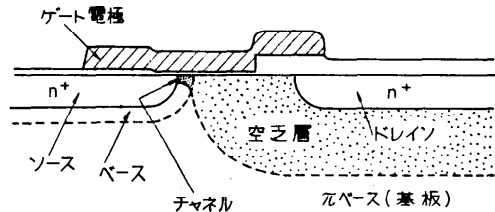


図-12 DSA モストランジスタの断面の一例 (π プレーナ形)

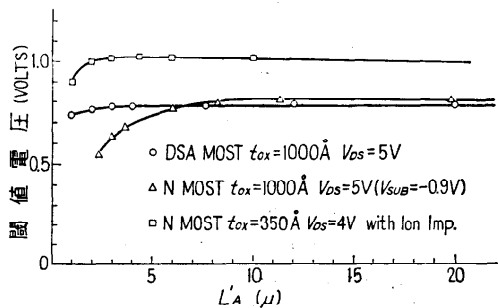


図-13 通常の n チャンネル MOS トランジスタと図-11、図-12 に示した形式の MOS トランジスタのソース・ドレイン距離 L_A による閾値電圧の距離

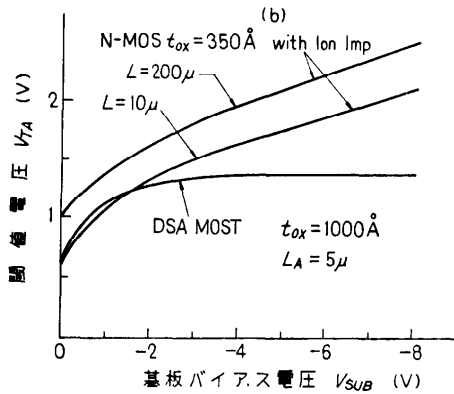


図-14 図-11と図-12のMOSトランジスタの基板電圧による閾値電圧の比較

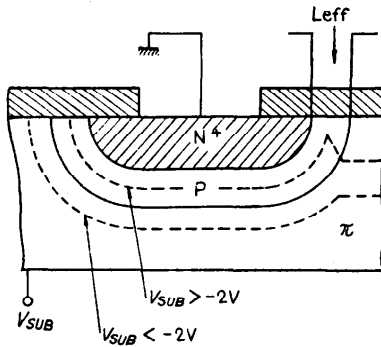


図-15 DSA MOSトランジスタのソース付近での空乏層の広がり方

5. ま と め

微細化、小電力化による高集積化の方向において近い将来においては原理的な限界は見出されない。高集積化においては微細化加工技術の開発と共にこれを生かすデバイス構造の研究も重要である。これらの研究とともに集積度の増加は今後も続けられるであろう。数年の内には1μm幅の線幅を含むLSIが製作可能となるであろう。さらに将来はサブミクロンデバイスが研究の中心となり、0.1ミクロンを目ざして加工法とデバイスの両方の研究が進められて行くであろう。

参 考 文 献

1) E. Keonjian: Microelectronics McGraw-Hill, (1964).

2) J. Von Neuman, "Theory of Self-Reproducing Automata", Urbana, Univ. Illinois Press p. 66 (1966).
 3) R. W. Keyes, "Physical Limits in Digital Electronics" Proc. of the IEEE 63-5, 740(1975).
 4) 通産省工業技術院編: "超高性能電子計算機" 日本産業技術振興協会刊, (昭和 47. 7).
 5) 大形プロジェクトパターン情報処理システム, p. 9, 電子技術総合研究所 (昭和 49. 11).
 6) 林, 垂井: 昭 49 電気四学会連大, 122, 4-19.
 7) M. B. Heritage: "An Electron Projection Microfabrication System" 13th Symp. on Electron, Ion and Photon Beam Technology, Opening Session, 11: 30.
 8) Yu. B. Norikov: "The Feasibility of Using Electron-Optical Systems in Precision Photography" Radio Engng. Electron. Phy., 16, 6, 1079 (1971).
 9) W. R. Liversay: "Computer Controlled Electron-Beam Projection Mask Aligner" Solid State Tech. 17, 21 (July. 1974).
 10) D. Mayden et al: "High Speed Replication of Submicron Features on Large Area by X Ray Lithography" IEEE Trans. on Electron Devices 22-7, 429 (1975).
 11) 垂井, 伝田, 馬場, 宮内, 田中: "集積回路用電子ビーム露光装置の試作" 電子通信学会誌 51-C-2, 74 (昭 43).
 12) K. Hart and A. Slob, "Integrated injection logic-a new approach to LSI", in ISSCC Dig. Tech. Papers, p. 92 (1972).
 13) H. H. Berger and S. K. Wiedmann, "Merged-transistor logic-a low-cost bipolar logic concept," ISSCC Dig. Tech. Papers, p. 90 (1972).
 14) 垂井, 林, 関川: "ショットキバリアダイオードを含む IC(V) 共有接合相補形 IC" 昭 44, 四学連大 1880.
 15) R. H. Dennard et al: "Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions" IEEE Jour. of SSC, SC-9, p. 256 (1974).
 16) Y. Tarui, Y. Hayashi and T. Sekigawa: "Diffusion Self-aligned MOST: A New Approach Devices, J. Japan Soc. Appl. Phys. 39, p. 105 (11970).
 17) K. Ota et al; "A High Speed Logic LSI using Diffusion Self-Aligned Enhancement Depletion MOS IC" to be published in IEEE Jour. of Solid State Circuits.