

解説



マルチプロセッサスーパーコンピュータ PHI の研究開発

スーパーコンピュータプロジェクトの成果概要†

田村 浩一郎††

1. はじめに

昭和 56 年度より平成元年度までの 9 年間にわたったプロジェクト「科学技術用高速計算システム」、通称スーパーコンピュータプロジェクトは数多くの成果を上げ、我が国のみならず、世界のコンピュータ技術史上に重要な 1 ページを書き加えたといえよう。

このプロジェクトを通じ終始一貫して言われてきたプロジェクトの目的は、1990 年代に予想される膨大な計算需要に答えられるようなスーパーコンピュータを構築するための要素技術を開発しようとするものである。ではその要素技術とは何か。デバイス技術と、アーキテクチャおよびそのソフトウェアということになる。本プロジェクトでは、デバイス技術として、シリコン技術に替わるもの、また、アーキテクチャとそのソフトとして並列（複数プロセッサ）処理システムを目指すということになった。この選択に、国のプロジェクトであるという性格が反映する。すなわち、シリコン技術はまだ成長するかもしれないが、それは国が主導しなくても企業の必至の努力が当然続けられる分野であるし、また、ベクタ処理を含む単独プロセッサシステムの開発も同様である、という予想である。事実そのとおりにこの 10 年間で推移した。

非シリコン系のデバイス技術として、ジョセフソン接合 (JJ) 素子およびガリウム砒素 (GaAs) 素子が選ばれた。シリコン素子よりも高速で消費電力が少ないことがその理由である。目標諸元を表-1 に示す。JJ 素子はもちろん低温で、GaAs 素子は室温と低温の 2 種類の使用が想定されている。

並列処理システムは複数のプロセッサを同時並行的に動作させることによって高速性能を出そうというものである。この計画が立案されたとき、我が国はもとより世界的にもそのようなシステムは小規模実験機以外に数が少なかった。現在でもなお実用されているものは少ない。並列処理システムおよび素子技術などの要素技術を検証し評価するためのものとして総合システムを構築することになった。その目標諸元を表-2 に示す。

総合システム構築の目的は、あくまでもプロジェクトで開発された要素技術の検証であって、それが後の製品のプロトタイプになるといったようなものではない。

目標諸元を設定したのは、それを超えること自体を目標とするのではなく、一応の目安を示すということである。この研究プロジェクトは何も特定の仕様を満足する製品を構築することではない。これらの諸元を超える成果がたとえ出たとしても、それをさらに超える性能をこのプロジェクト以外の研究開発でだれかが行うならば、成果としての意味はない。反対に、たとえ目標諸元を下

表-1 素子技術の目標諸元

Logic Devices	Delay Time	10 ps/gate (low temperature)
		30 ps/gate (room temperature)
	Integration	3,000 gates/chip
Memory Devices	Access Time	10 ns
	Integration	16 Kbits/chip

表-2 総合システムの目標諸元

Super-speed engine	10 GFLOPS
High Capacity storage system	1 GByte
Multiprocessor system for Specific Applications	0.1 GFLOPS

† Outline of the Research Results of the Supercomputer Project by Koichiro TAMURA (Information Science Division, Electro-technical Laboratory).

†† 電子技術総合研究所情報科学部

回ったとしても、世界水準を越える成果が出たならば、それは高く評価されるべきである。だいたいこれらの諸元は 10 年後の世界水準を想定したものであって、精度は高いわけがないのである。

我が国に関するかぎり、国がコンピュータ分野で製品開発をしても、自ら製造するわけではないから、事実上無意味である。それよりも、もし国が何もしなければ成長が見込めないような、しかも重要な技術を、国の主導と支援によって研究開発を進め、その高度化がどこまで可能であるかを示すことのほうが国の役割としてははるかに重要であろう。このように考えるならば、対象とする諸要素技術の高度化にどこまで挑戦し成果を上げることができるか、そしてその成果を世に示すこと、すなわち技術の「動的評価」を行うこと、それを目的とするべきである。しかし、実際には目標諸元があたかも製品仕様であるかのように受け取られ、それを満たすものを作ることがプロジェクトの目的であるかのように考えられやすい。その結果、国が企業の製品開発補助を行っているのではないかという誤解を生むことになる。しかし、このプロジェクトでは最初から明言されてきた目的、および、実際のプロジェクトの遂行経過をみても、このような見方が誤っていることが分かる。

2. スケジュール

プロジェクト開始前に立てられた予定表を図-1 に示す。この予定に対してその後大きな変更はない。ただし、最終総合システムに組み込むデバイスについての検討時に、JJ 素子は組み込まず、GaAs 素子を部分的に組み込むことが決められたこと、および、アーキテクチャとソフトの開発が最終年度近くまで行われたこと、デバイス技術についても最終年度までその高度化のための研究が続けられ、特に JJ 素子については 1988 年度より酸化物超伝導体についての研究が追加された、などの変更があった。

3. 成果の概要

デバイス技術とシステム技術に分けて成果の概要を述べる。デバイス技術はさらに JJ 素子と GaAs 素子に分ける。システム技術についてはデータ駆動型システム、総合システムおよび専用システムに分けて述べる。

3.1 デバイス技術

3.1.1 MESFET 型 GaAs 素子

GaAs 素子はシリコンに比べると低消費電力での高速性がその利点とされる。各種 GaAs 素子の中で構造が最も簡単なものが MESFET 型であり、製造プロセスが単純、すなわち、低価格で作られることが期待される。GaAs 素子の中では研究が最も盛んなものである。しかし、材料特性の均質化、単チャンネル効果の防止、1 チップ内でのゲート特性の均質化などに困難性を抱えていた。このプロジェクトではこれらの課題に取り組んだ結果、少なくとも世界水準の成果を上げることができた。

MESFET 型 GaAs 素子には 4 チームが取り組んだ。そのうち 2 チームは論理素子、2 チームは記憶素子を対象とした。それぞれのチームの成果物はシステムに組み込まれて実使用されたか、あるいは一時的に試用された。論理素子としては、約 4K ゲートでサイクル時間 10 ns のもの、および、2.6K ゲートでサイクル時間 0.7 ns のものが開発された。また、記憶素子としては、4K ビットでアクセス時間 1.5 ns のもの、および、16K ビットでアクセス時間 5.0 ns のものが開発され

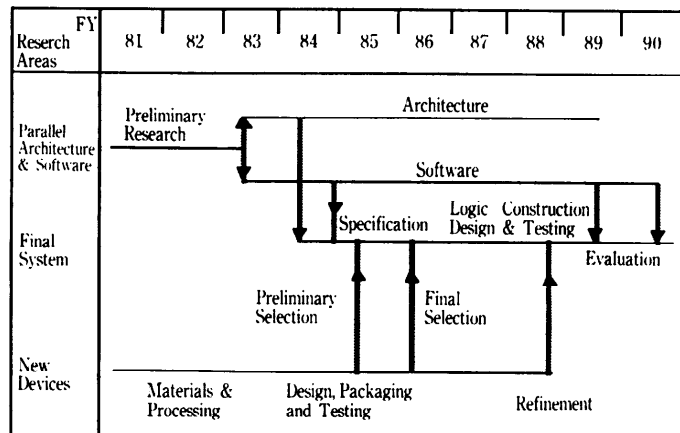


図-1 スケジュール

た。いずれも現時点で世界最高水準をゆくものと考えられる。

3.1.2 HEMT 型 GaAs 素子

HEMT 型 GaAs 素子は 1980 年に富士通によって発明された GaAs FET の一種である。MESFET との最大の違いはヘテロ接合によって作られる 2 次元の電子ガスをチャンネルとすることで、そのため短チャンネル効果を容易に防止することができる。しかし、MESFET に比べ構造は複雑になる。本プロジェクトでは、総合システムでのバスドライバ用として室温で使用する HEMT と低温で動作する高速 HEMT とを開発した。室温 HEMT では 1K ゲートのチップでゲート当たり 34ps のものが開発された。また、低温 HEMT によって乱数発生機を構築した。使用されたチップは約 3K ゲートでサイクル時間が 1.49 ns であった。

もうひとつのチームは、逆（多相構造）HEMT の開発を行った。この素子は後述する高速画像表示装置に実装され、ビデオ信号発生用に使われた。

3.1.3 FET とバイポーラとの統合構成

電総研のチームは先導的研究として、FET 型とバイポーラ型のものと同チップ状で実現する構成法を開発した。これは、通常 FET の弱点とされる電流駆動能力の低さをバイポーラ型で補おうという発想による。FET 部分には独自のアイデアによる SISFET (Semiconductor-Insulator-Semiconductor FET) を用い、また、バイポーラ部分にはこれも独自のアイデアによる IBT (Inverted Base Bipolar Transistor) を用いている。これにより、シリコンでの Bi-CMOS を GaAs で実現しようというものである。予算の制約などにより基礎研究の水準に留まっている。

3.1.4 JJ 素子

ジョセフソン素子 (JJ 素子) の利点は、非常に少ない消費電力で高速性能を発揮することである。しかし、その作成には多くの困難がともない。実際、このプロジェクトが発足した直後の 1983 年に IBM が実用化研究を断念したことはよく知られている。その後、JJ 素子の研究は世界的にはほとんどなされなく、本プロジェクトはその数少ないうちのひとつとなった。このプロジェクトで JJ 素子の研究を最後まで続けることのできた

最大の理由は、超伝導材料に鉛ではなくニオブ系のものを取り入れたことである。ニオブ系の加工は困難であるため、従前は鉛が使用されたが、加工の困難性を乗り越えると、高集積化に向いていること、高速動作に向くことなどの多くの利点があることが分かった。事実、ニオブ系への転換後における JJ 素子技術の進展は大きい (図-2 参照)。

電総研のグループはニオブ系の材料技術をつかって、早い時期からある程度の集積度のチップを作成することができた。この技術は民間企業に移転された。プロジェクトの終了間際に、4 チップからなる全 JJ 素子のコンピュータの開発に成功した。それぞれのチップは単体としては 1GIPS で動作可能であると見込まれるが、それらを結合する実装技術にかけるため、動作実験では 1KIPS に留まった。メモリは 1K ビットであり、完全動作が確認された。

企業では 2 チームが論理素子を主として担当し、1 チームがメモリを担当した。1990 年に、論理素子の 1 チームが 2 チップからなる 4 ビットコンピュータを構成し、もうひとつのチームは 8 ビットの DSP を作成した。いずれもクロック周波数は 1GHz 以上である。メモリ担当のチームは 4K ビット、アクセス時間 580 ps のチップを開発した。

以上のように、一時期はまったくだめかのように思われた JJ 素子が、今後の開発努力によって実用になる可能性が残されていることを本プロジェクトの研究が実証したと言えよう。

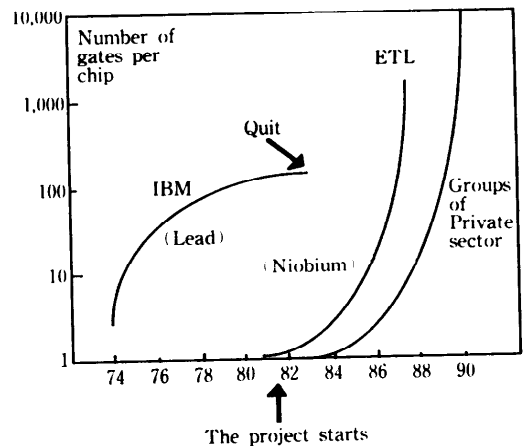


図-2 JJ 素子における超伝導材料の転換の影響

3.2 システム技術

このプロジェクトでは並列処理システム（アーキテクチャとソフト）の開発に取り組んだ。それを2分するとすれば、主として汎用性を狙ったものと専用性を狙ったものがある。もちろん、汎用性と専用性は必ずしも明確にわけられるものではない。しかし、後者については、主として衛星画像処理を対象とし、その課題の下で各種の並列処理方式を開発することになった。汎用性を狙ったものとしては、データ駆動型システムとマルチベクタ型システムとを開発した。データ駆動型は、先導的基礎的研究ということで電総研が進め、マルチベクタ型はこのプロジェクトの最終総合システムとして開発された。

3.2.1 SIGMA-1, データ駆動システム

電総研のチームは128台の要素プロセッサ (PE) と128台の構造データ処理装置 (SE) とをもつデータ駆動型コンピュータ SIGMA-1の開発に成功した。図-3にその構成を示す。機械命令の単位で並列性が発揮できるため、アーキテクチャが与えられたプログラムから豊富な並列処理をいわば自動的に引き出すことができる。初期実験の段階でのデータとして、170 MFLOPS および200 MIPSの性能が得られた。この機械用に言語DFCを開発した。これは言語Cをデータ駆動向けにしたものである。さらにこの言語を発展させ、使いやすくしたものとして、DFC IIを開発した。SIGMA-1は本格的に稼働する数少ないデータ駆動型システムのひとつであり、その実用性を検証したものと言えよう。

3.2.2 PHI, マルチベクタ型システム

PHIシステムは最終総合システムの中核になるもので、“Parallel, Hierarchical and Intelligent”の省略形から名付けたものである。図-4にその構成を示す。その本体はHPP (High speed Parallel Processor) と呼ばれ、4個の要素プロセッサをもつ。それぞれ高速の市販ベクタ型スーパーコンピュータであり、そのうちのひとつは4 GFLOPS、残りの三つは2 GFLOPSの性能をもつ。これらが並列して稼働するようCMU (Common Mapping Unit) が各要素プロセッサのデータ移動およびCSU (Common Storage Unit) を管理する。また、外

部大規模記憶装置としてLHS (Large capacity High speed Storage)をもつ。LHSは4G Byteの容量をもち、1.5G Byte/sの転送能力をもつ。この巨大記憶が、プロセッサ側からみると一次元ファイルにみえるようになっているのが特色である。要素プロセッサのもつローカルメモリ、CSU、そしてLHSがメモリの階層構造をなす。これが

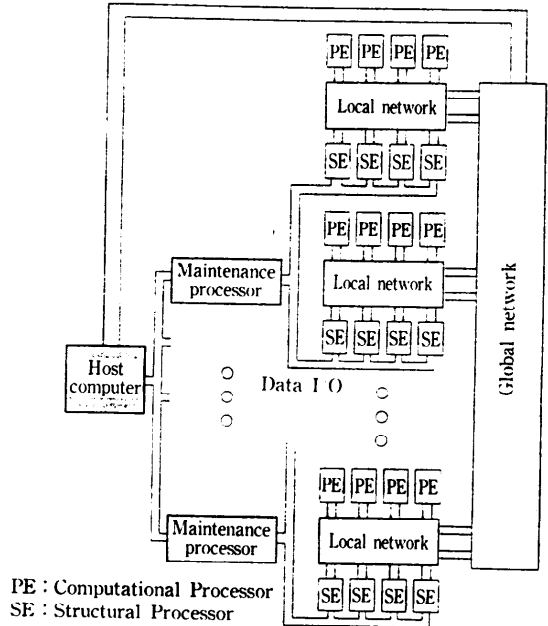


図-3 SIGMA-1の構成

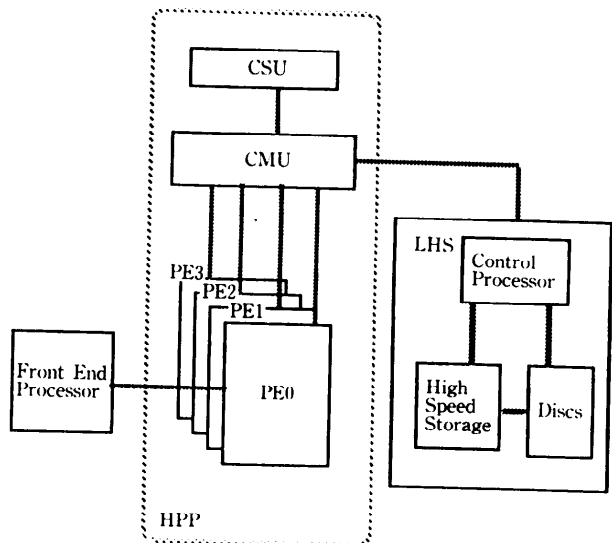


図-4 PHI, マルチベクタプロセッサシステム

PHI の Hierarchical のいわれであり、PHI の特色のひとつである。HPPのバスドライブにはHEMTが、また、LHSの部分にMESFET型GaAsが使用されている。PHIの最大性能として10GFLOPSを越えたことが実証された。PHIは16台の要素プロセッサを構成できる設計になっているが、予算の制限などにより、実装は4台に留まった。また、これらの要素プロセッサは、総合システム稼働実験期間中に市販製品をレンタルしたものである。したがって、このプロジェクトはこれらの要素プロセッサの開発には関与せず、研究開発対象はあくまでも並列処理機構(ソフトウェアも含めて)であったことに注意されたい。

PHIのためのソフトウェアとして、図-5に示すシステムが開発された。

このソフトウェアシステムの目的は言うまでもなくPHIを使用するユーザを手助けすることであり、すなわち、PHIのインテリジェントの部分を受け持つことである。逐次型のコンピュータでさえ一般にユーザにとって使いにくいのが、並列処理が入るとその困難さは桁違いに増大する。それにどう対処するかが長年の懸案になっていた。このプロジェクトがそれを一気に解決するものにはなりえないが、その方向への努力が行われた。

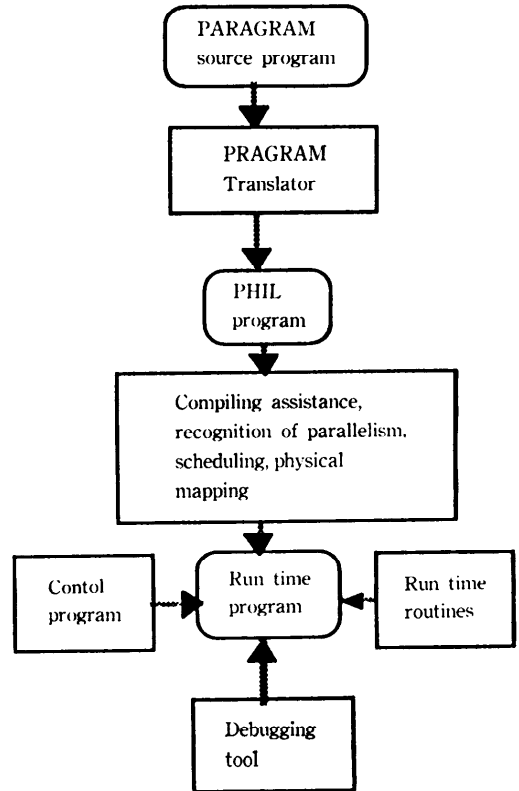


図-5 PHIのソフトウェアシステム

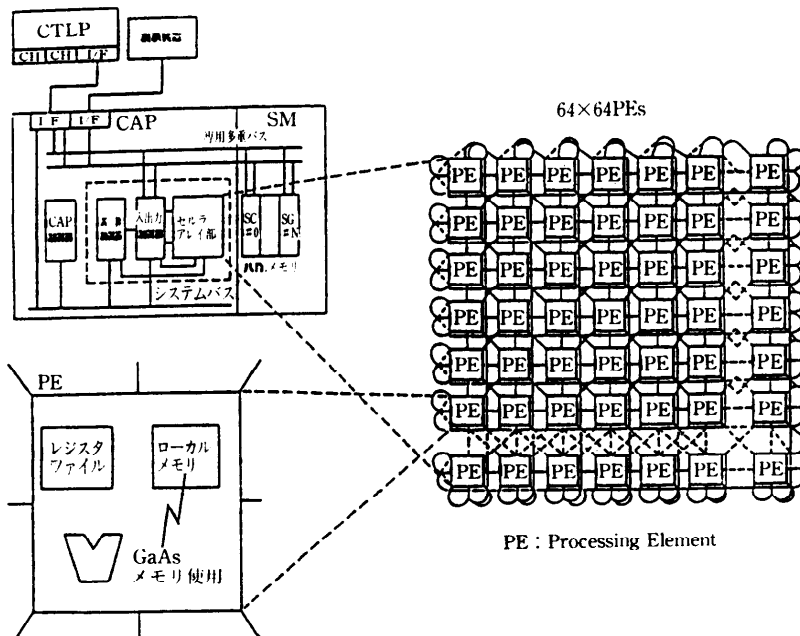


図-6 CAPの構成

PARAGRAM は主として行列演算を対象とするマクロ言語である。

このオブジェクト言語は PHIL で、これは FORTRAN に並列処理機能を追加した PHI 用の言語である。ユーザはしたがって、PARAGRAM で書くこともできるし、いきなり PHIL で書き下ろすこともできる。このほか、プログラミング支援環境の整備が行われ、ユーザインタフェースが開発された。

3.2.3 衛星画像処理システム

専用処理システムとして衛星画像処理を高速に行うシステムを開発した。このシステムの開発の目的は必ずしも衛星画像処理のみにとらわれるものではなく、さまざまな新しい並列処理方式を開拓し実験するという面も強くもっている。実際、このシステムは3種のサブシステムからなり、ひとつは SIMD、ひとつは MIMD、そしてひとつはそれらの混合という方式で作られている。ただし、最後のものは高速の画像表示装置に特化している。

(1) CAP, SIMD 方式機械

画像の生データ処理に近いところでは局所的な処理が多く行われるため、SIMD 方式が向くのではないかと考えられる。そこで CAP (Cellular Array Processor) が開発された。その構成を 図-6 に示す。これは 4096 の要素プロ

セッサをもち、それぞれは1ないし8ビットの処理を行う。柔軟な処理ができるように、SIMD を超えたある程度の処理が可能ないように工夫されている。要素プロセッサのうちのいくつかは GaAs 素子を試用した。

(2) VPP, MIMD 方式機械

画像の高次処理では大局的な情報処理が行われる。そのため、この部分では MIMD 方式が有効であろうという想定の下で、MIMD 型の VPP

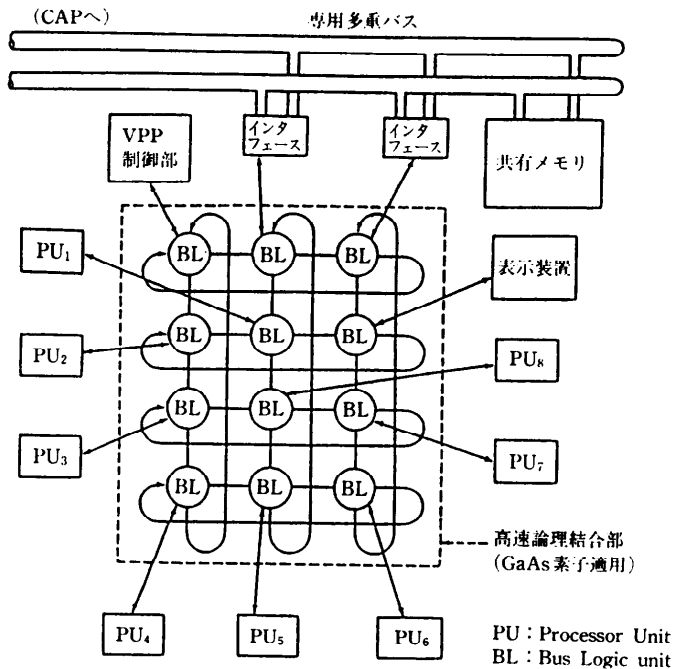


図-7 VPP の構成

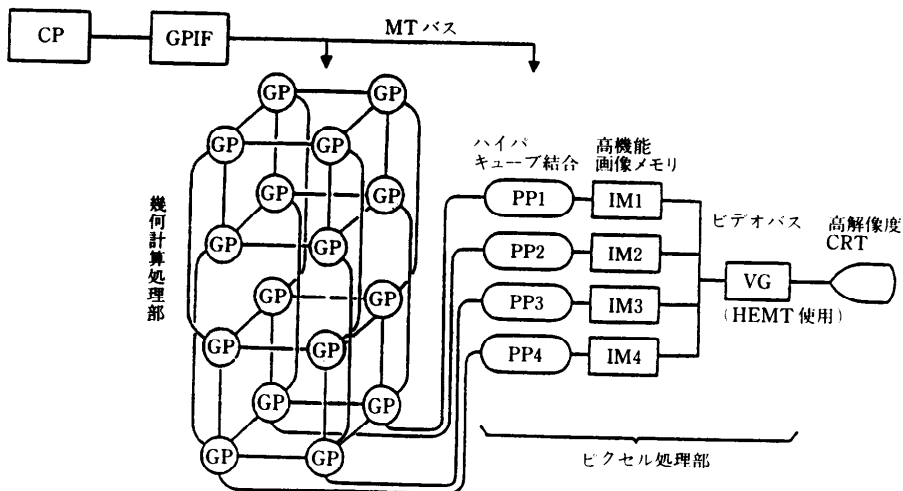


図-8 DP, 高速3次元表示装置

(Variable Processor Pipeline) が開発された。図-7にその構成を示す。要素プロセッサ8台をもち、それがマトリックス状のネットワークで結合されている。このネットワークは一種のトークン方式になっていて、プログラムによって柔軟にプロセッサ間の結合状態を変えることができる。この部分の高速性がシステムの性能に大きく影響するため、GaAs 素子が試用された。

(3) DP, 高速表示装置

スーパーコンピュータによってたとえいかに高速に計算されても、その結果をみて判断するのは人間であるから、単に数表のようなものではなく、高速の画像表示によって示されることが必要である。そのためにこのプロジェクトではDP(Display Processor)と呼ぶ高速3次元画像表示装置が開発された。これはMIMDとSIMDの部分にわかれる構成をとり、幾何学的な計算をMIMD部分で行い、ピクセル発生をSIMD部分で行う構成をもつ(図-8)。MIMD部分はハイパキューブ型ネットワークで結合された16の要素プロセッサをもち、SIMD部分は4個の要素プロセッサからなる。高速にビデオ信号を発生させるために逆構造HEMTが組み込まれている。

4. 最後 に

最終的に構築されたシステムは、最初に述べたように製品のプロトタイプになるようなものではなく、このプロジェクトで開発されたさまざまな要素技術の有効性を検証するためのものである。したがって、洗練された製品のもつ効率や一貫性にかけているのはいた仕方ない。しかしながら、システムの性能はすばらしいものであり、たとえば、PHIでは32000元の連立一次元方程式を11

時間程度で解いている。これなどは、かつては考えられなかった巨大な問題が実際に解けるようになったことを端的に示すものと言えよう。

PHIのモットーである「並列、階層、インテリジェント」についてみると、(階層性はともかく)それぞれに対する需要は高まるばかりである。このプロジェクトの成果をもってしてもそのニーズに必ずしも十分答えられているとは思えない。相当程度の性能を発揮するシステムが出現するとユーザはそれを何桁も上回る要求を出してくるのがこれまでのスーパーコンピュータをめぐる歴史であった。この事情は将来も変わらないと思われる。1990年代にはさらに高性能のシステムが要求され、実現されていくに違いない。9年に及ぶこのプロジェクトの開発努力が世界に広く知られ、利用されるならば、今後のスーパーコンピュータの発展に大きく寄与することになる。そしてそのことこそが、国のプロジェクトとして本プロジェクトをたち上げ推進したことの意義となるのであり、そうなることを確信する。

(平成3年9月26日受付)



田村浩一郎 (正会員)

昭和38年東京大学工学部応用物理学科卒業。ただちに、電気試験所(現、電子技術総合研究所)入所。以降、パターン認識、CAI、TSS、グラフィアルゴリズム、論理プログラミング、分散並列処理アーキテクチャ、柔らかな論理、ヒューマンインタフェースなどの研究に従事。現在、同所情報科学部長。この間、昭和42年より44年までカリフォルニア大学パークレー校客員研究員。電子情報通信学会、人工知能学会、日本ソフトウェア科学会、CAI学会、計測自動制御学会各会員。